

PATENT COOPERATION TREATY

PCT
NOTIFICATION OF ELECTION
(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

Date of mailing: 12 April 2001 (12.04.01)	To: Commissioner US Department of Commerce United States Patent and Trademark Office, PCT 2011 South Clark Place Room CP2/5C24 Arlington, VA 22202 ETATS-UNIS D'AMERIQUE in its capacity as elected Office
International application No.: PCT/JP99/05401	Applicant's or agent's file reference: 319901625971
International filing date: 30 September 1999 (30.09.99)	Priority date:
Applicant: SAGAWA, Masakazu et al	

1. The designated Office is hereby notified of its election made:

in the demand filed with the International preliminary Examining Authority on:
30 September 1999 (30.09.99)

in a notice effecting later election filed with the International Bureau on:

2. The election was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05401

A. CLASSIFICATION OF SUBJECT MATTER

INTL CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01J1/312, 9/02, 29/04, 31/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

International Patent Classification System followed by the
Int.Cl⁷ H01J1/312, 9/02, 29/04, 31/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-120898, A (Hitachi, Ltd.), 30 April, 1999 (30.04.99), Full text; Figs. 1 to 36 (Family: none)	1-6,10-17, 24-29 18-23
X	JP, 10-79221, A (Hitachi, Ltd.), 24 March, 1998 (24.03.98), Par. Nos. [0020] to [0021]; Figs. 10 to 11 (Family: none)	7-9,30-32 18-23
A	JP, 10, 922999,A (Hitachi, Ltd.), 10 April, 1998 (10.04.98), Full text; Figs. 1 to 27 (Family: none)	1-32
A	EP, 683501, A (CANON KABUSHIKI KAISHA), 22 November, 1995 (22.11.95), Full text; Figs. 1 to 14 & JP, 8-45448, A	1,2,24,25

Further documents are listed in the continuation of Box C.

See patent family annex

*	Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	
"P"	document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search
28 December, 1999 (28.12.99)

Date of mailing of the international search report
11 January, 2001 (11-01-001)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl' H01J1/312, 9/02, 29/04, 31/12

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl' H01J1/30-1/316, 9/02, 29/04, 31/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)
 JICSTファイル(JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-120898, A (株式会社日立製作所) 30. 4月. 1999 (30. 04. 99)	1-6, 10-17, 24-2 9
Y	全文、【図1】-【図36】 (ファミリーなし)	18-23
X Y	J P, 10-79221, A (株式会社日立製作所) 24. 3月. 1998 (24. 03. 98) 【0020】-【0021】、【図10】-【図11】 (ファミリーなし)	7-9, 30-32 18-23

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの。

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28. 12. 99

国際調査報告の発送日

11.01.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

波多江 進

2G 9508

電話番号 03-3581-1101 内線 3224

特許協力条約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の審査記号 319901625971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JP99/05401	国際出願日 (日.月.年) 30.09.99	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl' H01J1/312, 9/02, 29/04, 31/12		
出願人（氏名又は名称） 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 6 ページからなる。

この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 8 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I 国際予備審査報告の基礎
- II 優先権
- III 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV 発明の単一性の欠如
- V PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ある種の引用文献
- VII 国際出願の不備
- VIII 国際出願に対する意見

国際予備審査の請求書を受理した日 30.09.99	国際予備審査報告を作成した日 23.03.00
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 波多江 進 電話番号 03-3581-1101 内線 3224
	2G 9508

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17)

 出願時の国際出願書類

<input type="checkbox"/>	明細書 第 _____	ページ、	出願時に提出されたもの
<input type="checkbox"/>	明細書 第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	明細書 第 _____	ページ、	付の書簡と共に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	出願時に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	PCT19条の規定に基づき補正されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	請求の範囲 第 _____	項、	付の書簡と共に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	出願時に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	図面 第 _____	ページ/図、	付の書簡と共に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	出願時に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
<input type="checkbox"/>	明細書の配列表の部分 第 _____	ページ、	付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
- PCT規則48.3(b)にいう国際公開の言語。
- 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
- この国際出願と共に提出されたフレキシブルディスクによる配列表
- 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表
- 出願後に、この国際予備審査（または調査）機関に提出されたフレキシブルディスクによる配列表
- 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
- 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- 明細書 第 _____ ページ
- 請求の範囲 第 _____ 項
- 図面 図面の第 _____ ページ/図

5. この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1. における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲	<u>1, 2, 9-25, 32</u>	有
請求の範囲	<u>3-8, 26-31</u>	無

進歩性 (I S)

請求の範囲	<u>1-32</u>	有
請求の範囲	<u>1-32</u>	無

・産業上の利用可能性 (I A)

請求の範囲	<u>1-32</u>	有
請求の範囲	<u>1-32</u>	無

2. 文献及び説明 (PCT規則70.7)

文献1 : J P, 11-120898, A (株式会社日立製作所)
30. 4月. 1999 (30. 04. 99)

文献2 : J P, 10-79221, A (株式会社日立製作所)
24. 3月. 1998 (24. 03. 98)

請求の範囲 1-6, 24-29

国際調査報告で引用された文献1には、下部電極11と、絶縁層12と、上部電極13とを積層した構造を有する複数個の電子源素子と、複数個の上部電極バスライン15とを有する電子源であって、上部電極バスラインは、薄い上部電極バスライン下層15A（薄膜電極に相当する）と、厚い上部電極バスライン上層15B（厚膜電極に相当する）とで構成されたものが記載されている（特に、【0023】及び【図19】参照）。また、上部電極を6nm（【0021】）、上部電極バスライン下層を30nm（【0016】）とすること、上部電極バスライン上層に設けられる開口部は上部電極バスライン下層に設けられる開口部より大きく、上部電極は、上部電極バスライン上層に設けられる開口部内に露出する上部電極バスライン下層を覆うように設けること（【図19】）、上部電極バスライン上層を蒸着で形成すること（【0018】）も記載されている。また、上記電子源を表示装置に用いることも記載されている（【0034】—【0045】及び【図32】—【図36】）。

したがって、請求の範囲3-6、26-29は、文献1により新規性を有しない。

また、請求の範囲1, 24で、薄膜電極の膜厚を電子源素子の電極の膜厚以下とするることは明細書に記載されておらず、その技術的意義が不明である以上、このように膜厚を設定することは当業者が適宜選択できる事項である。

したがって、請求の範囲1, 2, 24, 25は、文献1により進歩性を有しない。

請求の範囲 7-9, 30-32

国際調査報告で引用された文献2には、下部電極11と、絶縁層12と、上部電極13とを積層した構造を有する複数個の電子源素子と、複数の上部電極バスライン15とを有する電子源が記載されており（【0020】、【0021】及び【図10】、【図11】参照）、上部電極は下部電極と直交する方向にストライプ状に設けられていることから、上部電極と一体的に設けられる薄膜電極に相当し、また、上部電極バスラインを上部電極よりも膜厚を厚くすることは常套手段であり、このことは文献2の【図10】からも明らかであるから、上部電極バスラインは厚膜電極に相当する。また、文献2には、上部電極バスラインが開口部を有すること、上記電子源を表示装置に用いることも記載されている。

したがって、請求の範囲7, 8, 30, 31は文献2により新規性を有しない。

また、上部電極バスラインの形成方法として周知の薄膜、厚膜形成技術を採用することに進歩性は認められず、請求の範囲9, 32は文献2により進歩性を有しない。

VII. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 1, 24 の「膜厚が前記電子源素子の電極の膜厚以下の厚さの薄膜電極」は、明細書に記載されておらず、十分な裏付けがされてない。

補充欄（いずれかの欄の大きさが足りない場合に使用すること）

第 I 欄の続き

5. の続き

13.03.00付けの手続補正書で追加された以下の構成は、出願時における開示の範囲を越えてされたものと認められる。

- (1) 請求の範囲4, 18, 24, 26の薄膜電極の膜厚が20nm以下である点
- (2) 請求の範囲19の薄膜電極の膜厚が10nm以下である点
- (3) 請求の範囲20, 27の薄膜電極の膜厚が1~9nm以下である点

(1)~(3)はいずれも薄膜電極の厚さを特定するものであるが、薄膜電極の厚さの絶対値については出願時に以下の内容が開示されている。

- (a) 数nm~数10nm (明細書第9, 10, 15頁)
- (b) タングステン、白金、金の積層膜で、それぞれの膜厚は1~3nm (同第11, 12頁)
- (c) タングステン、金の積層膜で、それぞれの膜厚は10nm程度 (同第14頁)

しかしながら、(a)には(1)~(3)は明らかに開示されておらず、(b)も全体の膜厚が不明であり、(1)~(3)の内容が開示されているとは認められず、(c)についても全体の膜厚が20nm程度である一実施例は開示されているものの、この値を上限とすること(20nm以下であること)が開示されているとは認められない。

よって、13.03.00付けの補正は、出願時における開示の範囲を超えてされたものと認められる。

補充欄（いずれかの欄の大きさが足りない場合に使用すること）

第 V 欄の続き

2. の続き

請求の範囲 10-13

文献1には、下部電極11と、絶縁層12と、上部電極13とを積層した構造を有する複数個の電子源素子と、複数個の上部電極バスライン15とを有する電子源の製造方法として、下部電極を形成する工程P1（工程1に相当する）、絶縁層を形成する工程P2（工程2に相当する）、下部電極及び絶縁層上に上部電極バスライン下層膜を形成する工程P6（工程3に相当する）、上部電極バスライン下層上にリフトオフする工程P7（工程6に相当する）、上部電極バスライン下層上に上部電極バスライン上層膜を形成する工程P12（工程4に相当する）、上部電極バスライン上層をエッチング加工する工程P14（工程5に相当する）、上部電極を形成する工程P16, P17（工程7に相当する）とを有する方法が記載されている（【0009】-【0023】及び【図1】-【図19】参照）。

請求の範囲10-13と文献1とは、工程6の順序が相違するが、薄膜導電膜をパターニングする工程を厚膜導電膜の積層の前後いずれに行うかは、当業者が適宜選択できる事項にすぎない。

したがって、請求の範囲10-13は文献1により進歩性を有しない。

請求の範囲 14-17

文献1の上記記載の工程P1が工程1に、工程P2が工程2に、工程P6が工程3に、工程P12, P14が工程4に、工程P7が工程5に、工程P16, P17が工程6に、それぞれ相当する。

請求の範囲14-17と文献1とは、工程5の順序が相違するが、薄膜導電膜をパターニングする工程を厚膜導電膜の積層の前後いずれに行うかは、当業者が適宜選択できる事項にすぎない。

したがって、請求の範囲14-17は文献1により進歩性を有しない。

請求の範囲 18-23

文献2には、下部電極11と、絶縁層12と、上部電極13とを積層した構造を有する複数個の電子源素子と、複数の上部電極バスライン15とを有する電子源の製造方法として、下部電極を形成する工程（工程1に相当する）、絶縁層を形成する工程（工程2に相当する）、上部電極を形成する工程（工程3に相当する）、上部電極バスラインを形成する工程を有する方法が記載されている（【0020】、【0021】及び【図10】、【図11】参照）。

文献2は、薄膜導電膜、厚膜導電膜のパターニング、選択形成の具体的な内容が不明である点で請求の範囲18-23と相違するが、文献1を参照して同様の製法を採用することは当業者には自明のことである。また、薄膜導電膜をパターニングする工程を厚膜導電膜の積層の前後いずれに行うかも、当業者が適宜選択できる事項にすぎない。

したがって、請求の範囲18-23は文献1及び文献2により進歩性を有しない。

請求の範囲

1. (補正後) 複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子に駆動電圧を

5 印加する複数のバス電極とを有する電子源であって、

前記各バス電極は、前記各電子源素子の電極と電気的に接続される薄膜電極と、

前記薄膜電極と電気的に接続され、前記薄膜電極に比して膜厚が厚く、

かつ、メッキで形成される厚膜電極とで構成されることを特徴とする電

10 子源。

2. (補正後) 前記薄膜電極は、タンゲステン膜で構成されることを特徴とする請求の範囲第1項の電子源。

3. (補正後) 下部電極と、絶縁層と、上部電極とをこの順番に積層

した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上

15 部電極表面から電子を放出する複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、

前記各バス電極は、前記上部電極と電気的に接続される薄膜電極と、

前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚く、かつ、

20 メッキで形成される厚膜電極とで構成されることを特徴とする薄膜型電子源。

4. (補正後) 前記薄膜電極は、その膜厚が前記上部電極の膜厚の10倍以下の厚さで、かつ、20nm以下であることを特徴とする請求の範囲第3項に記載の薄膜型電子源。

25 5. 前記薄膜電極および厚膜電極は、それぞれ前記絶縁層が露出する

開口部を有し、かつ、前記厚膜電極に設けられる開口部は、前記薄膜電極に設けられる開口部より大きく、

前記上部電極は、前記厚膜電極に設けられる開口部内に露出する前記薄膜電極を覆うように設けられていることを特徴とする請求の範囲第3
5 項または請求の範囲第4項に記載の薄膜型電子源。

6. (補正後) 前記薄膜電極は、タンゲステン膜で構成されることを特徴とする請求の範囲第3項ないし請求の範囲第5項のいずれか1項に記載の薄膜型電子源。

7. (補正後) 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、

前記各バス電極は、前記上部電極と一体的に設けられる薄膜電極と、
15 前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚く、かつ、メッキで形成される厚膜電極とで構成されることを特徴とする薄膜型電子源。

8. 前記厚膜電極は、それぞれ前記絶縁層が形成される領域に設けられる開口部を有することを特徴とする請求の範囲第7項に記載の薄膜型
20 電子源。

9. (補正後) 前記薄膜電極は、タンゲステン膜で構成されることを特徴とする請求の範囲第7項または請求の範囲第8項に記載の薄膜型電子源。

10. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造
25 を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表

面から電子を放出する複数個の電子源素子と、

前記上部電極と電気的に接続される薄膜電極と、前記薄膜電極上に設

型電子源の製造方法。

16. 前記選択的に厚膜電極を形成する工程4において、前記厚膜電極に前記絶縁層が露出する開口部を形成し、

また、前記薄膜導電膜を選択的にパターンニングする工程5において、

5 前記薄膜電極に前記絶縁層が露出する開口部を形成し、

さらに、前記上部電極を形成する工程6において、前記厚膜電極に設けられる開口部内に露出する前記薄膜電極を覆うように、前記上部電極を形成することを特徴とする請求の範囲第14項または請求の範囲第15項に記載の薄膜型電子源の製造方法。

10 17. 前記選択的に厚膜電極を形成する工程4において、前記厚膜電極を、メッキ、スパッタリング、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成することを特徴とする請求の範囲第14項ないし請求の範囲第16項のいずれか1項に記載の薄膜型電子源の製造方法。

15 18. (補正後) 複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子に駆動電圧を印加する複数のバス電極とを有する第1の基板と、

枠部材と、

20 蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置であって、

前記第1の基板の各バス電極は、前記各電子源素子の電極と電気的に接続されるとともに、膜厚が前記電子源素子の電極の膜厚の1/10以上10倍以下の厚さで、かつ、20nm以下の厚さの薄膜電極と、

25 前記薄膜電極と電気的に接続され、前記薄膜電極に比して膜厚が厚い

厚膜電極とで構成されることを特徴とする表示装置。

19. (補正後) 前記薄膜電極は、膜厚が 10 nm 以下の厚さであることを特徴とする請求の範囲第 18 項に記載の表示装置。

20. (補正後) 前記薄膜電極は、膜厚が 1 ~ 9 nm 以下の厚さであることを特徴とする請求の範囲第 18 項または請求の範囲第 19 項に記載の表示装置。

21. (補正後) 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

10 前記上部電極と一体的に設けられる薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成され、前記複数個の電子源素子の中の第 1 の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源の製造方法であつて、

15 前記下部電極を形成する工程 1 と、

前記絶縁層を形成する工程 2 と、

前記下部電極および前記絶縁層上に薄膜導電膜を形成する工程 3 と、

前記薄膜導電膜上に、メッキまたは印刷により選択的に厚膜電極を形成する工程 4 と、

20 前記薄膜導電膜を選択的にパターンニングして前記薄膜電極および前記上部電極を形成する工程 5 とを有することを特徴とする薄膜型電子源の製造方法。

22. 前記選択的に厚膜電極を形成する工程 4 において、前記厚膜電極に前記絶縁層が露出する開口部を形成することを特徴とする請求の範囲第 21 項に記載の薄膜型電子源の製造方法。

23. (補正後) 前記薄膜電極は、タンクスチタン膜で構成されることを特徴とする請求の範囲第21項または請求の範囲第22項に記載の薄膜型電子源の製造方法。

24. (補正後) 複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子に駆動電圧を印加する複数のバス電極とを有する第1の基板と、

枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置で
10 あって、

前記第1の基板の各バス電極は、前記各電子源素子の電極と電気的に接続されるとともに、膜厚が前記電子源素子の電極の膜厚の1/10以上10倍以下の厚さで、かつ、20nm以下の厚さの薄膜電極と、

前記薄膜電極と電気的に接続され、前記薄膜電極に比して厚く、かつ、
15 メッキで形成される厚膜電極とで構成されることを特徴とする表示装置。

25. (補正後) 前記薄膜電極は、タンクスチタン膜で構成されることを特徴とする請求の範囲第24項に記載の表示装置。

26. (補正後) 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する第1の基板と、

枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置で
25

あって、

前記第1の基板の各バス電極は、前記上部電極と電気的に接続されるとともに、膜厚が前記上部電極の膜厚の厚さの1／10以上10倍以下の厚さで、かつ、20nm以下の厚さの薄膜電極と、

5 前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚く、かつ、メッキで形成される厚膜電極とで構成されることを特徴とする表示装置。

27.（補正後）前記薄膜電極は、膜厚が1～9nm以下の厚さであることを特徴とする請求の範囲第26項に記載の表示装置。

28. 前記薄膜電極および厚膜電極は、それぞれ前記絶縁層が露出する開口部を有し、かつ、前記厚膜電極に設けられる開口部は、前記薄膜電極に設けられる開口部より大きく、

前記上部電極は、前記厚膜電極に設けられる開口部内に露出する前記薄膜電極を覆うように設けられていることを特徴とする請求の範囲第26項または請求の範囲第27項に記載の表示装置。

29.（補正後）前記薄膜電極は、タンゲステン膜で構成されることを特徴とする請求の範囲第26項ないし請求の範囲第28項のいずれか1項に記載の表示装置。

30.（補正後）下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する第1の基板と、

枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置で

あって、

前記第1の基板の各バス電極は、前記上部電極と一体的に設けられる
薄膜電極と、

前記薄膜電極上に設けられ、前記薄膜電極に比して厚く、かつ、メッキまたは印刷で形成される厚膜電極とで構成されることを特徴とする表示装置。
5

31. 前記厚膜電極は、それぞれ前記絶縁層が形成される領域に設けられる開口部を有することを特徴とする請求の範囲第30項に記載の表示装置。

10 32. (補正後) 前記厚膜電極は、メッキで形成されることを特徴とする請求の範囲第30項または請求の範囲第31項に記載の表示装置。

特許協力条約

PCT

EP

JS

国際調査報告

(法8条、法施行規則第40、41条)
(PCT18条、PCT規則43、44)

出願人又は代理人 の書類記号	319901625971	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP99/05401	国際出願日 (日.月.年)	30.09.99	優先日 (日.月.年)
出願人(氏名又は名称) 日立製作所株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際調査機関に提出された書面による配列表
 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が出したものを承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 出願人が示したとおりである.

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

第三欄 要約（第1ページの5の続き）

下部電極（11）と、絶縁層（12）と、上部電極（13）とをこの順番に積層した構造を有する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極（13）に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、前記各バス電極は、前記上部電極（13）と電気的に接続される薄膜電極（15）と、前記薄膜電極（15）上に設けられ、前記薄膜電極（15）に比して膜厚が厚い厚膜電極（16）とで構成される。これにより、電子源素子に駆動電圧を印加する給電用のバス電極の抵抗の増加と、電子放出部での前記上部電極（13）段切れを防止する。

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl' H01J1/312, 9/02, 29/04, 31/12

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl' H01J1/30-1/316, 9/02, 29/04, 31/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)
 JICSTファイル(JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-120898, A (株式会社日立製作所) 30. 4月. 1999 (30. 04. 99)	1-6, 10-17, 24-29
Y	全文、【図1】-【図36】 (ファミリーなし)	18-23
X	J P, 10-79221, A (株式会社日立製作所) 24. 3月. 1998 (24. 03. 98)	7-9, 30-32
Y	【0020】-【0021】、【図10】-【図11】 (ファミリーなし)	18-23

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28. 12. 99

国際調査報告の発送日

11.01.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

波多江 進

2G 9508

電話番号 03-3581-1101 内線 3224

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10, 92299, A (株式会社日立製作所) 10. 4月. 1998 (10. 04. 98) 全文、【図1】—【図27】 (ファミリーなし)	1-32
A	E P, 683501, A (CANON KABUSHIKI KAISHA) 22. 11月. 1995 (22. 11. 95) 全文、【図1】—【図14】 & JP, 8-45448, A	1, 2, 24, 25

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319901625971	FOR FURTHER ACTION	See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)
International application No. PCT/JP99/05401	International filing date (day/month/year) 30 September 1999 (30.09.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01J 1/312, 9/02, 29/04, 31/12		
Applicant HITACHI, LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>6</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>8</u> sheets.</p> <p>3. This report contains indications relating to the following items:</p> <ul style="list-style-type: none"> I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input checked="" type="checkbox"/> Certain observations on the international application

Date of submission of the demand 30 September 1999 (30.09.99)	Date of completion of this report 23 March 2000 (23.03.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

ational application No.

PCT/JP99/05401

I. Basis of the report

1. With regard to the elements of the international application:*

 the international application as originally filed the description:pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____ the claims:pages _____, as originally filed
pages _____, as amended (together with any statement under Article 19)
pages _____, filed with the demand
pages _____, filed with the letter of _____ the drawings:pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____ the sequence listing part of the description:pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.
These elements were available or furnished to this Authority in the following language _____ which is: the language of a translation furnished for the purposes of international search (under Rule 23.1(b)). the language of publication of the international application (under Rule 48.3(b)). the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

 contained in the international application in written form. filed together with the international application in computer readable form. furnished subsequently to this Authority in written form. furnished subsequently to this Authority in computer readable form. The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished. The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.4. The amendments have resulted in the cancellation of: the description, pages _____ the claims, Nos. _____ the drawings, sheets/fig _____5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/05401

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	1,2,9-25,32	YES
	Claims	3-8,26-31	NO
Inventive step (IS)	Claims		YES
	Claims	1-32	NO
Industrial applicability (IA)	Claims	1-32	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 11-120898, A (Hitachi, Ltd.)
30 April 1999 (30.04.99)

Document 2: JP, 10-79221, A (Hitachi, Ltd.)
24 March 1998 (24.03.98)

Claims 1 to 6 and 24 to 29

Document 1, cited in the ISR, describes an electron source comprising a plurality of upper electrode bus lines 15 and a plurality electron source elements each including a laminate of a lower electrode 11, an insulating layer 12, and an upper electrode 13, wherein the upper electrode bus line comprises a thin upper electrode bus line lower layer 15A (equivalent to a "thin-film electrode") and a thick upper electrode bus line upper layer 15B (equivalent to a "thick-film electrode") (in particular, see paragraph 0023 and Fig. 19). The document also describes the following ideas: making the upper electrode 6 nm (paragraph 0021); making the upper electrode bus line lower layer 30 nm (paragraph 0016); making the opening provided in the upper electrode bus line upper layer larger than the opening provided in the upper electrode bus line lower layer and providing the upper electrode such that it covers the upper electrode bus line lower layer, which is exposed inside the opening provided in upper electrode bus line upper layer (Fig. 19); and forming the upper electrode bus line upper layer by vapor deposition (paragraph 0018). The document also describes the idea of using the electron source in a display device (paragraphs 0034 to 0045 and Figs. 32 to 36)

Therefore, claims 3 to 6 and 26 to 29 lack novelty in view of document 1.

Also, claims 1 and 24 state that the film thickness of the thin-film electrode is equal to or less than the film thickness of the electrode of the electron source element. This feature is not mentioned in the description and its technical significance is not clear. Establishing the film thickness is thus found to be a matter one skilled in the art could have determined as appropriate.

Therefore, claims 1, 2, 24, and 25 do not involve an inventive step in view of document 1.

Claims 7 to 9 and 30 to 32

Document 2, cited in the ISR, describes an electron source comprising a plurality of upper electrode bus lines 15 and a plurality of electron source elements each including a laminate of a lower electrode 11, an insulating layer 12, and an upper electrode 13 (see paragraphs 0020, 0021, Fig. 10 and Fig. 11). Since the upper electrodes are provided in a stripe form that intersects orthogonally with the lower electrodes, they are equivalent to a thin-film electrode provided integrally with an upper electrode. Also, since the idea of making the upper electrode bus line of a thicker film than the upper electrode is common practice and this fact is clear based on document 2 (Fig. 10), the upper electrode bus line is equivalent to the thick-film electrode. Document 2 also describes the idea of the upper electrode bus line having an opening and the idea of using the electron source in a display device.

Therefore, claims 7, 8, 30, and 31 lack novelty in view of document 2.

Furthermore, claims 9 and 32 do not appear to involve an inventive step in view of document 2, because no

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/05401

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

inventive step is recognized in using well-known thin film and thick film forming technologies as the method for forming the upper electrode bus line.

Claims 10 to 13

Document 1 describes a method for manufacturing an electron source comprising a plurality of upper electrode bus lines 15 and a plurality electron source elements each including a laminate of a lower electrode 11, an insulating layer 12, and an upper electrode 13. The method includes process P1 (equivalent to process 1) for forming the lower electrode, process P2 (equivalent to process 2) for forming the insulating layer, process P6 (equivalent to process 3) for forming the upper electrode bus line lower layer over the lower electrode and insulating layer, process P7 (equivalent to process 6) for lifting off the upper electrode bus line lower level, process P12 (equivalent to process 4) for forming the upper electrode bus line upper layer over the upper electrode bus line lower layer, process P14 (equivalent to process 5) for etching the upper electrode bus line upper layer, and processes 16 and 17 (equivalent to process 7) for forming the upper electrode (see paragraphs 0009 to 0023 and Figs. 1 to 19).

The order of process 6 in claims 10 to 13 is different from that of the process described in document 1, but the question of whether to conduct the process for patterning the thin-film conductor layer before or after laminating the thick-film conductor layer is a matter one skilled in the art could have determined as appropriate.

Therefore, claims 10 to 13 do not involve an inventive step in view of document 1.

Claims 14 to 17

In document 1, process P1 is equivalent to process 1, process P2 is equivalent to process 2, process P6 is equivalent to process 3, processes P12 and P14 are equivalent to process 4, process P7 is equivalent process 5, and processes P16 and P17 are equivalent to process 6.

The order of process 5 in claims 14 to 17 differs from that of the process in document 1, but the question of whether to conduct the process for patterning the thin-film conductor layer before or after laminating the thick-film conductor layer is a matter one skilled in the art could have determined as appropriate.

Therefore, claims 14 to 17 do not involve an inventive step in view of document 1.

Claims 18 to 23

Document 2 describes a method for manufacturing an electron source comprising a plurality of upper electrode bus lines 15 and a plurality electron source elements each including a laminate of a lower electrode 11, an insulating layer 12, and an upper electrode 13. The method includes a process (equivalent to process 1) for forming the lower electrode, a process (equivalent to process 2) for forming the insulating layer, a process (equivalent to process 3) for forming the upper electrode, and a process for forming the upper electrode bus line (see paragraphs 0020 and 0021 and Figs. 10 and 11).

Document 2 differs from claims 18 to 23 in that it does not provide specific details regarding patterning and selective formation of the thin conductor layer and the thick conductor layer, but the idea of referring to document 1 and adopting a similar manufacturing method would have been obvious to one skilled in the art. Furthermore, the question of whether to conduct the process for patterning the thin-film conductor layer before or after laminating the thick-film conductor layer is a matter one skilled in the art could have determined as deemed appropriate.

Therefore, claims 18 to 23 do not involve an inventive step in view of documents 1 and 2.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

tional application No.

PCT/JP99/05401

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

The reference in claims 1 and 24 to a "thin-film electrode whose film thickness is less than or equal to the film thickness of the electrode of said electron source element" is not mentioned in the description and is not sufficiently supported.

Supplemental sheet of Box I. 5**Continuation of Box I.5**

The following features that were added in the written amendment dated 13 March 2000 are found to exceed the scope of the inventions presented at the time of filing.

- (1) The idea of the film thickness of the thin-film electrode being 20 nm or less in claims 4, 18, 24, and 26
- (2) The idea of film thickness of the thin-film electrode being 10 nm or less in claim 19
- (3) The idea of the film thickness of the thin-film electrode being 1 to 9 nm in claims 20 and 27

Each of features (1) to (3) specifies the thickness of the thin-film electrode, but at the time of filing the following information was presented regarding the absolute value of the thickness of the thin-film electrode.

- (a) Several nm to several ten nm (pages 9, 10, and 15 of the description)
- (b) A laminated film of tungsten, platinum, and gold wherein the film thickness of each layer is 1 to 3 nm (pages 11 and 12 of the same)
- (c) A laminated film of tungsten and gold wherein the film thickness of each layer is roughly 10 nm (page 14 of the same)

However, features (1) to (3) are clearly not presented in (a). Nor are features (1) to (3) presented in (b), for which the total film thickness is unknown. Regarding (c), although a working example for which the total film thickness is roughly 20 nm is presented, it is not found that this value is used as an upper limit (i.e., 20 nm or less).

Consequently, the amendment dated 13 March 2000 is found to exceed the scope of what was presented at the time of filing.

(12)特許協力条約に基づいて公開された国

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2001年4月12日 (12.04.2001)

PCT

(10)国際公開番号
WO 01/26128 A1

(51)国際特許分類: H01J 1/312, 9/02, 29/04, 31/12

敏明 (KUSUNOKI, Toshiaki) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo (JP).

(21)国際出願番号: PCT/JP99/05401

(22)国際出願日: 1999年9月30日 (30.09.1999) (74)代理人: 秋田収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B2階 Tokyo (JP).

(25)国際出願の言語: 日本語

(81)指定国(国内): JP, KR, US.

(26)国際公開の言語: 日本語

(84)指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(71)出願人(米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

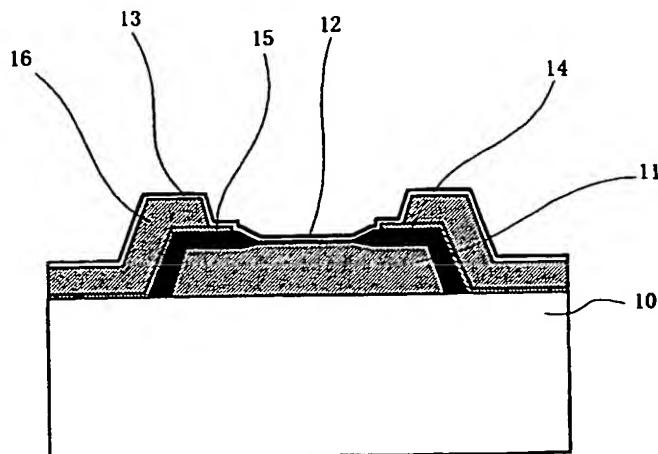
添付公開書類:
— 国際調査報告書

(72)発明者; および
(75)発明者/出願人(米国についてのみ): 佐川雅一 (SAGAWA, Masakazu) [JP/JP]. 岡井 誠 (OKAI, Makoto) [JP/JP]. 鈴木睦三 (SUZUKI, Mutsumi) [JP/JP]. 石坂彰利 (ISHIZAKA, Akitoshi) [JP/JP]. 楠

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: ELECTRON SOURCE, METHOD OF MANUFACTURE THEREOF, AND DISPLAY DEVICE

(54)発明の名称: 電子源、電子源の製造方法および表示装置



WO 01/26128 A1

(57) Abstract: A thin-film electron source comprises a plurality of electron source elements, each including a laminate of a lower electrode (11), an insulating layer (12) and an upper electrode (13) formed in that order, and a plurality of buses for applying driving voltage to the upper electrode (13) of those in a first direction of the electron source elements. Each of the buses is composed of a thin-film electrode (15) connected electrically with the upper electrode (13), and a thick-film electrode (16) provided on the thin-film electrode (15) and being thicker than the thin-film electrode (15). This structure prevents the increase in resistance of the power buses for applying driving voltage to the electronic source elements and the damage to the upper electrodes (13) in the electron emission part.

(続葉有)



(57) 要約:

下部電極（11）と、絶縁層（12）と、上部電極（13）とをこの順番に積層した構造を有する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極（13）に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、前記各バス電極は、前記上部電極（13）と電気的に接続される薄膜電極（15）と、前記薄膜電極（15）上に設けられ、前記薄膜電極（15）に比して膜厚が厚い厚膜電極（16）とで構成される。これにより、電子源素子に駆動電圧を印加する給電用のバス電極の抵抗の増加と、電子放出部での前記上部電極（13）段切れを防止する。

明細書

電子源、電子源の製造方法および表示装置

技術分野

本発明は、電子源、電子源の製造方法および表示装置に係わり、特に、
5 下部電極、絶縁層、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源に適用して有効な技術に関する。

背景技術

互いに直交する電極群の交点を画素とし、各画素への印加電圧を調整
10 することによって画像を表示するマトリクス型表示装置（マトリクス型ディスプレイ）の1つに、フィールドエミッショントリニティ（以下、FEDと称する。）が知られている。

このFEDは、例えば、特開平4-289644号公報に記載されているように、各画素毎に電子放出素子を配置し、そこからの放出電子を
15 真空中で加速した後、蛍光体に照射し、照射した部分の蛍光体を発光させるものである。

FED用の電子源の一例として、薄膜型電子源マトリクスが知られている。

薄膜型電子源とは、例えば、上部電極-絶縁層-下部電極の3層薄膜構造の上部電極と下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。

例えば、金属-絶縁体-金属を積層したMIM (Metal-Insulator-Metal) 型、金属-絶縁体-半導体電極を積層したMIS (Metal-

Insulator-Semiconductor) 型や、金属一絶縁体と半導体の積層膜－金属または半導体電極を積層したもの等が知られている。

なお、MIM型の薄膜電子源については、例えば、特開平7-65710号に記載されている。

5 第24図は、薄膜型電子源の動作原理を説明するための図である。

上部電極13と下部電極11との間に駆動電圧源から V_d の駆動電圧を印加して、トンネル絶縁層12内の電界を $1 \sim 10 \text{ MV/cm}$ 程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、トンネル絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。

これらのホットエレクトロンのうち、上部電極13の仕事関数(ϕ)以上のエネルギーを有するものは、真空20中に放出される。

ここで、上部電極13および下部電極11とを複数本設け、これら複数本の上部電極と、複数本の下部電極11とを直交させて、薄膜型電子源をマトリクス状に形成すると、任意の場所から電子線を発生させることができるので、表示装置の電子源に用いることができる。

これまで、金(Au)－酸化アルミニウム(Al_2O_3 ; 以下、単に、 Al_2O_3 と称する。)－アルミニウム(Al; 以下、単に、Alと称する。)構造のMIM(Metal-Insulator-Metal)構造などから電子放出が観測されている。

MIM型の薄膜型電子源は、トンネル絶縁層12で加速したホットエレクトロンを、上部電極13を透過させて真空中に放出させる。

したがって、上部電極13の膜厚はホットエレクトロンの散乱を少なくするために数nm程度と非常に薄くする必要がある。

25 そのため、上部電極13のシート抵抗は約 $200 \Omega/\square$ となり、単位

長さあたりの配線抵抗は $7 \text{ k}\Omega / \text{cm}$ にも達する。

この場合に、薄膜型電子源素子の動作電圧は 10 V 、消費電流は 1 mA なので、配線抵抗による電圧降下は $7 \text{ V} / \text{cm}$ になる。

このような大きな電圧降下は、薄膜型電子源を用いる表示装置の表示画面の大型化を図る場合全く致命的であり、電圧降下を防止する策が必須となる。

電圧降下は駆動法で補償する事も可能ではあるが、駆動回路の複雑化を招くと共に、超薄膜配線の信頼性の面でも好ましくはない。

本質的には給電用に新たな配線を導入する事が不可欠である。

そして、給電用配線としては、(1) 低抵抗であること、(2) 上部電極 13 と給電配線との電気的接触が取れること、(3) 上部電極 13 が素子段差で段切れしないこと、(4) 給電用配線の形成が、トンネルダイオード構造の薄膜型電子源素子に影響を及ぼさないことの 4 点を満足する必要がある。

このような給電用配線材料としては、Al 合金が考えられる。

例えば、下部電極 11 としても採用されている Al - ネオジム (Nd；以下、単に、Nd と称する。) (2 atm\%) 合金は耐熱性に優れた低抵抗材料であるが、前記項目 (2) と (3) に難がある。即ち、Al の表面には常に自然酸化膜が介在するため接触抵抗が問題となる。

加えてウェットエッティングや反応性イオンエッティング (RIE) を用いたテーパ加工は、段切れを防止する上で制御性が十分とはいえず、ストップとなるトンネル絶縁膜 12 へのダメージも無視できなかった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、電子源および電子源の製造方法において、給電用のバス電極の抵抗を減少させるとともに、電子放出部での電子源の電極

の段差切れ防止することが可能となる技術を提供することにある。
ことができる。

また、本発明の他の目的は、表示装置において、前記薄膜型電子源を使用することにより、表示画面に輝度むらが生じるのを防止することが
5 可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

発明の開示

10 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子に駆動電圧を印加する複数のバス電極とを有する電子源であって、前記各バス電極は、前記各電子源素子の電極と
15 電気的に接続され、かつ膜厚が前記電子源素子の電極の膜厚の10倍以下の厚さの薄膜電極と、前記薄膜電極と電気的に接続され、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする。

また、本発明は、下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記
20 上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、前記各バス電極は、前記上部電極と電気的に接続される薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されるこ
25 とを特徴とする。

また、本発明は、下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、前記各バス電極は、前記上部電極と一体的に設けられる薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする。

また、本発明は、前記厚膜電極を、電気メッキ、スパッタリング、真空蒸着、化学気相成長、あるいは印刷法のいずれかの方法を用いて形成することを特徴とする。

また、本発明は、前記薄膜電子源を使用する表示装置である。

図面の簡単な説明

15 第1図は、本発明の実施の形態1の薄膜型電子源の構造を示す図である。

第2図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。

20 第3図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。

第4図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。

第5図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。

25 第6図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明す

るための図である。

第7図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。

第8図は、本発明の実施の形態1の薄膜型電子源の製造方法を説明するための図である。
5

第9図は、本発明の実施の形態2の薄膜型電子源の製造方法を説明するための図である。

第10図は、本発明の実施の形態2の薄膜型電子源の製造方法を説明するための図である。

10 第11図は、本発明の実施の形態2の薄膜型電子源の製造方法を説明するための図である。

第12図は、本発明の実施の形態3の薄膜型電子源の製造方法を説明するための図である。

15 第13図は、本発明の実施の形態3の薄膜型電子源の製造方法を説明するための図である。

第14図は、本発明の実施の形態3の薄膜型電子源の製造方法を説明するための図である。

第15図は、本発明の実施の形態4の薄膜型電子源の製造方法を説明するための図である。

20 第16図は、本発明の実施の形態4の薄膜型電子源の製造方法を説明するための図である。

第17図は、本発明の実施の形態4の薄膜型電子源の製造方法を説明するための図である。

25 第18図は、本発明の実施の形態4の薄膜型電子源の製造方法を説明するための図である。

第19図は、本発明の実施の形態5の表示装置の薄膜型電子源アレイ基板の概略構成を示す図である。

第20図は、本発明の実施の形態5の表示装置の蛍光表示板の概略構成を示す図である。

5 第21図は、本発明の実施の形態5の表示装置の概略全体構成を示す断面図である。

第22図は、本発明の実施の形態5の表示装置に、駆動回路を接続した状態を示す模式図である。

第23図は、第22図に示す各駆動回路から出力される駆動電圧の波
10 形の一例を示すタイミングチャートである。

第24図は、薄膜型電子源の動作原理を示す図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施形態を詳細に説明する。

15 なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施の形態1]

第1図は、本発明の実施の形態1の薄膜型電子源の1素子分の構造を示す断面図である。

20 本実施の形態の薄膜型電子源は、給電配線となるバス電極が、上部電極13と電気的に接続されるバス電極下層15と、当該バス電極下層15を裏打ちするバス電極上層16とで構成され、かつ、バス電極上層16がスパッタリング膜により形成されていることを特徴とする。

以下、第2図ないし第8図を用いて、本実施の形態の薄膜型電子源の
25 製造方法について説明する。

なお、第2図ないし第8図において、同図(a)は平面図、同図(b)は、同図(a)のA-A'切断線に沿った断面構造を示す断面図、同図(c)は、同図(a)のB-B'切断線に沿った断面構造を示す断面図である。

5 先ず、ガラス等の絶縁性の基板10上を用意し、この基板10上に下部電極用の金属膜を形成する。

下部電極用の材料としては、AlやAl合金を用いる。

ここでは、Ndを2原子量%ドープしたAl-Nd合金を用いた。

また、金属膜の形成には、例えば、スパッタリングを用い、その膜厚10は300nmとした。

金属膜形成後、第2図に示すように、エッチングによりストライプ形状の下部電極11を形成する。

エッチングは、例えば、磷酸、酢酸、硝酸の混合水溶液によるウェットエッチングを用いた。

15 次に、下部電極11上の電子放出部となる部分をレジスト膜17でマスクし、化成液中で下部電極11を陽極として、下部電極11上の電子放出部となる部分以外の部分を選択的に厚く陽極酸化し、第3図に示すように、保護絶縁層14を形成する。

このとき、化成電圧を100Vとすれば、厚さ約136nmの保護絶縁層14が形成される。

保護絶縁層14を形成した後、レジスト膜17を除去し、化成液中で再度下部電極11を陽極として、陽極酸化を行い、第4図に示すように、下部電極11上にトンネル絶縁膜12を形成する。

このとき、例えば、化成電圧を6Vとすれば、下部電極11上に厚さ25約10nmのトンネル絶縁層12が形成される。

次に、第5図に示すように、上部電極13への給電線となるバス電極膜をスパッタリングで形成する。

ここでは、このバス電極膜として、バス電極下層（本発明の薄膜電極）15となる金属膜と、バス電極上層（本発明の厚膜電極）16となる金属膜との積層膜を用い、バス電極下層用の材料としてはタンゲステン（W）を、バス電極上層用の材料としてはAl-Nd合金を用いた。

またその膜厚は、バス電極下層15となる金属膜は、後で形成する上部電極13がバス電極下層15の段差で断線しないように、厚さの上限を上部電極13の膜厚の10倍に設定する。具体的には、数nm～数10nm程度と薄くし、バス電極上層16となる金属膜は給電を十分にするために数100nm程度と厚く形成する。

厚さの下限は、導体として機能する厚さであれば良い。上部電極13の膜厚の1/10程度あるのが好ましい。

続いて、第6図に示すように、ホトリソ工程、エッチング工程により、バス電極上層16を、下部電極11と直交する方向にストライプ状に加工する。

ここで、エッチングには、例えば、磷酸、酢酸、硝酸の混合水溶液を使用した。

次に、第7図に示すように、バス電極下層15を同じくホトリソ工程とエッチング工程にて加工する。

この時留意することは、電子放出部において後から作られる上部電極13との電気的な接点を確保するため、バス電極上層16からはみ出るようにバス電極下層15を加工することである。

なお、タンゲステン（W）のエッチングには、アンモニアと過酸化水素の混合水溶液が適している。

最後に、第8図に示すように、上部電極13を形成する。これにより、本実施の形態の薄膜型電子源が完成する。

この上部電極13のバターニングはリフトオフにより行い、上部電極13の形成はスパッタリングで行った。

5 上部電極13としては、例えば、イリジウム(Ir)、白金(Pt)、金(Au)の積層膜を用い、それぞれの膜厚は数nmとし、形成は前記したようにスパッタリングにより行った。

なお、本実施の形態において、バス電極上層16となる金属膜をスパッタリングで形成したが、本発明はこれに限定されるものではなく、
10 バス電極上層16となる金属膜を、電気メッキ、真空蒸着、化学気相成長、あるいは印刷法のいずれかの方法で形成するようにしてもよい。

本実施の形態の薄膜型電子源によれば、バス電極上層16を数100nm程度と厚く形成したので、給電配線を構成するバス電極のシート抵抗を、上部電極13のシート抵抗(200Ω/□程度)に比べて、2桁
15 程度小さくでき、バス電極の抵抗を減少させることができる。

また、バス電極下層15を数nm～数10nmの範囲の膜厚に成膜したので、上部電極13がバス電極下層15の段差で断線するのを防止することができる。

[実施の形態2]

20 本発明の実施の形態2の薄膜型電子源は、上部電極13がバス電極下層を兼ねるとともに、当該上部電極上にスパッタリングによりバス電極上層16を形成したことを特徴とする。

以下、第9図ないし第11図を用いて、本実施の形態の薄膜型電子源の製造方法について説明する。

25 なお、第9図ないし第11図において、同図(a)は平面図、同図(b)

は、同図（a）のA-A'切断線に沿った断面構造を示す断面図、同図（c）は、同図（a）のB-B'切断線に沿った断面構造を示す断面図である。

先ず、前記実施の形態1と同様、前記第2図ないし第4図に示す方法5により、トンネル絶縁層12までを形成する。

次に、第9図に示すごとく、上部電極13となる金属膜と、バス電極上層16となる金属膜をこの順序でスパッタリングにより形成する。

上部電極13となる金属膜の材料としては、例えば、タンゲステン(W)、白金(Pt)、金(Au)の積層膜とし、それぞれの膜厚は1~3nmとする。
10

バス電極上層16となる金属膜の材料には、前記したAl-Nd合金を数100nm堆積する。

つづいて、ホトリソ工程によりレジストパターンを形成し、ウェットエッチングにより、バス電極上層以外のAl-Nd合金を除去し、第15
15 0図に示すように、バス電極上層16を形成する。

エッチングには、前記した磷酸、酢酸、硝酸の混合水溶液が好適である。

最後に、電子放出部をレジストパターンで覆い、バス電極上層間の上部電極用の金属膜を取り除いて、第11図に示すように、上部電極13
20 を形成する。これにより、本実施の形態の薄膜型電子源が完成する。

エッチングには、白金(Pt)、金(Au)については王水を、またタンゲステン(W)に対しては前記したアンモニアと過酸化水素水の混合水溶液が好適である。

なお、本実施の形態においても、バス電極上層16となる金属膜を、
25 メッキ、真空蒸着、化学気相成長、あるいは印刷法のいずれかの方法で

形成するようにしてもよい。

本実施の形態の薄膜型電子源によれば、バス電極上層 16 を数 100 nm 程度と厚く形成したので、給電配線を構成するバス電極のシート抵抗を、上部電極 13 のシート抵抗 (200 Ω/□程度) に比べて、2 倍程度小さくでき、バス電極の抵抗を減少させることができる。
5

また、上部電極 13 でバス電極下層を兼用させるようにしたので、電子放出部での上部電極 13 の段差切れを防止することができる。

[実施の形態 3]

本発明の実施の形態 3 の薄膜型電子源は、上部電極 13 がバス電極下層を兼ねるとともに、当該上部電極上に電気メッキによりバス電極上層 16 を形成したことを特徴とする。
10

以下、第 12 図ないし第 14 図を用いて、本実施の形態の薄膜型電子源の製造方法について説明する。

なお、第 12 図ないし第 14 図において、同図 (a) は平面図、同図 15 (b) は、同図 (a) の A-A' 切断線に沿った断面構造を示す断面図、同図 (c) は、同図 (a) の B-B' 切断線に沿った断面構造を示す断面図である。

先ず、前記実施の形態 1 と同様、前記第 2 図ないし第 4 図に示す方法により、トンネル絶縁層 12 までを形成する。

20 次に、第 12 図に示すことく、上部電極 13 となる金属膜をスパッタリングにより形成する。

上部電極用の材料としては、例えば、タンクステン (W)、白金 (Pt)、金 (Au) の積層膜とし、それぞれの膜厚は 1~3 nm とする。

つづいて、バス電極上層 16 が形成されない部分をレジストパターン 25 で覆い、電解金メッキにより金 (Au) 膜を裏打ち電極として成長させ、

第13図に示すように、バス電極上層16を形成する。

最後に、電子放出部をレジストバターンで覆い、バス電極上層間の上部電極用の金属膜を取り除いて、第14図に示すように、上部電極13を形成する。これにより、本実施の形態の薄膜型電子源が完成する。

5 エッチングには、白金(Pt)、金(Au)については王水を、またタンクステン(W)に対しては前記したアンモニアと過酸化水素水の混合水溶液が好適である。

なお、本実施の形態においては、バス電極上層16を、スパッタリング、真空蒸着、化学気相成長、あるいは印刷法のいずれかの方法で形成
10 するようにしてもよい。

但し、本実施の形態のように、電解金メッキにより金(Au)膜を裏打ち電極として成長させバス電極上層16を形成する場合は、上部電極13とバス電極上層16との間の接着性が良好となり、また、バス電極上層16の膜厚が任意に設定でき、さらに、トンネル絶縁層12へのダメージを他のプロセスに比して少なくすることができる。
15

本実施の形態の薄膜型電子源によれば、バス電極上層16を数100nm程度と厚く形成したので、給電配線を構成するバス電極のシート抵抗を、上部電極13のシート抵抗(200Ω/□程度)に比べて、2桁程度小さくでき、バス電極の抵抗が減少させることができる。

20 また、上部電極13でバス電極下層を兼用させるようにしたので、電子放出部での上部電極13の段差切れを防止することができる。

[実施の形態4]

本発明の実施の形態4の薄膜型電子源は、上部電極13がバス電極下層15と電気的に接続され、かつバス電極下層15上に電気メッキによりバス電極上層16を形成したことを特徴とする。
25

以下、第15図ないし第18図を用いて、本実施の形態の薄膜型電子源の製造方法について説明する。

なお、第15図ないし第18図において、同図(a)は平面図、同図(b)は、同図(a)のA-A'切断線に沿った断面構造を示す断面図、
5 同図(c)は、同図(a)のB-B'切断線に沿った断面構造を示す断面図である。

先ず、前記実施の形態1と同様、前記第2図ないし第4図に示す方法により、トンネル絶縁層12までを形成する。

次に、第15図に示すごとく、バス電極下層15となる金属膜をスパ
10 ッタリングにより形成する。

バス電極下層15となる金属膜の材料としては、例えば、タンクステン(W)、金(Au)の積層膜とし、それぞれの膜厚は10nm程度が好ましい。

つづいて、バス電極上層16が形成されない部分をレジストバターン
15 で覆い、電解金メッキにより金(Au)膜を裏打ち電極として成長させ、
第16図に示すように、バス電極上層16を形成する。

次に、第17図に示すように、バス電極下層15をホトリソ工程とエ
ッチング工程にて加工する。

この時留意することは、電子放出部において後から作られる上部電極
20 13との電気的な接点を確保するため、バス電極上層16からはみ出す
ようにバス電極下層15を加工することである。

金(Au)のエッティングには王水を、またタンクステン(W)のエッ
チングには前記したアンモニアと過酸化水素の混合水溶液を用いる。

最後に、第18図に示すように、上部電極13を形成する。これによ
り、本実施の形態の薄膜型電子源が完成する。
25

上部電極 13 のバターニングはリフトオフで行い、上部電極 13 の形成はスパッタリングで行う。

上部電極 13 としては、例えば、イリジウム (Ir)、白金 (Pt)、金 (Au) の積層膜を用い、それぞれの膜厚は数 nm とし、成膜は前記 5 したようにスパッタリングにより行った。

なお、本実施の形態においても、バス電極上層 16 となる金属膜を、スパッタリング、真空蒸着、化学気相成長、あるいは印刷法のいずれかの方法で形成するようにしてもよい。

本実施の形態の薄膜型電子源によれば、バス電極上層 16 を数 100 10 nm 程度と厚く形成したので、給電配線を構成するバス電極のシート抵抗を、上部電極 13 のシート抵抗 (200 Ω/□程度) に比べて、2 极程度小さくでき、バス電極の抵抗を減少させることができる。

また、バス電極下層 15 を数 nm～数 10 nm 程度と薄く形成したの 15 で、上部電極 13 がバス電極下層 15 の段差で断線する段差切れを防止することができる。

なお、前記各実施の形態では、本発明を、薄膜型電子源に適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明は、例えば、表面伝導型の電子源にも適用可能であることはいうまでもない。

20 [実施の形態 5]

第 19 図は、本発明の実施の形態 5 の表示装置の薄膜型電子源アレイ基板の概略構成を示す図である。

第 19 図 (a) は、本実施の形態の薄膜型電子源アレイ基板の平面図であり、同図 (b) は、同図 (a) に示す A-A' 線に沿った断面構造、 25 および同図 (c) は、同図 (a) に示す B-B' 線に沿った断面構造を

示す要部断面図である。

本実施の形態では、薄膜型電子源アレイ基板として、前記実施の形態1の薄膜型電子源を用いる場合について説明するが、前記実施の形態2ないし実施の形態4の薄膜型電子源を用いるようにしてもよい。

5 本実施の形態の薄膜型電子源アレイ基板は、前記実施の形態1で説明した手順にしたがって、基板10上に、薄膜型電子源がマトリクス状に形成されて構成される。

なお、第19図では、3本の下部電極11と3本の上部電極バスライン17からなる(3×3)ドットの薄膜型電子源マトリクスを図示して
10 いるが、実際には、表示ドット数に対応した数の薄膜型電子源マトリクスを形成する。

また、実際には、バス電極は、バス電極下層15と、バス電極上層16との積層構造であるが、第19図では積層バス電極18としてまとめて表示している。

15 なお、前記各実施の形態では説明しなかったが、薄膜型電子源マトリクスを表示装置に使用する場合、下部電極11、上部バス電極18の電極端部は回路接続のため電極面を露出しておかなければならぬ。

第20図は、本発明の実施の形態5の表示装置の蛍光表示板の概略構成を示す図である。

20 第20図(a)は、本実施の形態の蛍光表示板の平面図であり、同図(b)は、同図(a)に示すA-A'線に沿った断面構造、および同図(c)は、同図(a)に示すB-B'線に沿った断面構造を示す要部断面図である。

本実施の形態の蛍光表示板は、ソーダガラス等の基板110に形成され
25 るブラックマトリクス120と、このブラックマトリクス120の溝

内に形成される赤（R）・緑（G）・青（B）の蛍光体（111～113）と、これらの上に形成されるメタルバック膜114とで構成される。

以下、本実施の形態の蛍光表示板の作成方法について説明する。

まず、表示装置のコントラストを上げる目的で、基板110上に、
5 ブラックマトリクス120を形成する。

ブラックマトリクス120は、ポリビニルアルコール（PVA；以下、
単に、PVAと称する。）と重クロム酸アンモニウムとを混合した溶液
を基板110に塗布し、ブラックマトリクス120を形成したい部分以
外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛
10 粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成
する。

次に、以下の方法により赤色蛍光体111を形成する。

赤色蛍光体粒子にPVAと重クロム酸アンモニウムとを混合した水溶
液を基板110上に塗布した後、蛍光体を形成する部分に紫外線を照射
15 して感光させた後、未感光部分を流水で除去する。

このようにして、赤色蛍光体111をバターン化する。

なお、蛍光体バターンは、第20図に示すストライプ状のバターンで
あるが、このストライプバターンは一例であって、それ以外にも、ディ
スプレイの設計に応じて、たとえば、近接する4ドットで一画素を構成
20 させた「RGBG」バターンでももちろん構わない。

同様の方法により、緑色蛍光体112と青色蛍光体113を形成する。

ここで、蛍光体として、例えば、赤色蛍光体111は $\text{Y}_2\text{O}_2\text{S} : \text{Eu}$
(P22-R)、緑色蛍光体112は $\text{ZnS} : \text{Cu}, \text{Al}$ (P22-G)、
青色蛍光体113は $\text{ZnS} : \text{Ag}$ (P22-B)を用いればよい。

25 次いで、ニトロセルロースなどの膜でフィルミングした後、基板11

0全体にA1を、膜厚75nm程度蒸着してメタルバック膜114とする。このメタルバック膜114が、加速電極として働く。

その後、基板110を大気中400°C程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。

5 このようにして、蛍光表示板が完成する。

第21図は、本発明の実施の形態5の表示装置の概略全体構成を示す断面図である。

なお、同図(a)は、第19、20図(a)に示すA-A'線に沿った断面構造、および同図(B)は、第19、20図(a)に示すB-B'線に沿った断面構造を示す要部断面図である。

第21図に示すように、前記手順により製作された薄膜型電子源アレイ基板と、蛍光表示板と、枠部材116とを、スペーサ30を介して組み立て後、枠部材116をフリットガラス115を用いて封着する。

薄膜型電子源アレイ基板と蛍光表示板との間の距離は、1~3mm程度になるようにスペーサ30の高さを設定する。

スペーサ30は、例えば、板状のガラス製またはセラミックス製のスペーサであり、このスペーサ30を積層バス電極18間に配置する。

この場合、スペーサ30が蛍光表示板のブラックマトリクス120の下に配置されるため、スペーサ30が発光を阻害しない。

したがって、スペーサ30の存在による画質の劣化が生じにくい。

ここでは、説明のため、R(赤)、G(緑)、B(青)に発光するドット毎、即ち、積層バス電極18の間に全てスペーサ30を立てているが、実際は機械強度が耐える範囲で、スペーサ30の枚数(密度)を減らし、大体1cmおきに立てればよい。

25 また、本実施の形態において、スペーサ30として、支柱状のスペー

サ、格子状のスペーサを使用する場合でも同様な手法によりパネル組み立てが可能である。

封着したパネルは、 10^{-7} Torr 程度の真空に排気して、封止する。

封止した後、ゲッターを活性化し、パネル内の真空を維持する。

5 例えば、バリウム (Ba) を主成分とするゲッター材の場合、高周波誘導加熱等によりゲッター膜を形成できる。

また、ジルコニウム (Zr) を主成分とする非蒸発型ゲッターを用いてもよい。

このようにして、本実施の形態の表示装置が完成する。

10 本実施の形態の表示装置では、薄膜型電子源アレイ基板と蛍光表示板との間の距離が、1～3 mm程度と長いので、メタルバック膜 114 に印加する加速電圧を3～6 KVと高電圧にできる。

したがって、前記したように、蛍光体には、陰極線管 (CRT) 用の蛍光体を使用することができる。

15 本実施の形態の表示装置によれば、薄膜型電子源をアレイ状に多数配列して 40 インチクラスの大画面の冷陰極型蛍光表示装置を構成しても、給電配線を構成するバス電極の抵抗を減少させることができ、各薄膜型電子源素子を輝度むらなく動作させることができるので、表示画面の輝度むらが生じるのを防止することが可能となる。

20 第 22 図は、本実施の形態の表示装置に、駆動回路を接続した状態を示す模式図である。

下部電極 11 は下部電極駆動回路 40 で駆動され、積層バス電極 18 は上部電極駆動回路 50 で駆動される。

ここで、各駆動回路 (40, 50) と、薄膜型電子源アレイ基板との接続は、例えば、テープキャリアパッケージを異方性導電膜で圧着した

ものや、各駆動回路（40，50）を構成する半導体チップを、薄膜型電子源アレイ基板の基板（例えば、ガラス）上に直接実装するチップオングラス等によって行う。

メタルバック膜114には、加速電圧源60から3～6KV程度の加速電圧を常時印加する。
5

第23図は、第22図に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

ここで、m番目の下部電極11をKm、n番目の積層バス電極18をCn、m番目の下部電極11と、n番目の積層バス電極18との交点を10 (m, n) で表すことにする。

時刻t0ではいずれの電極も駆動電圧がゼロであるので電子は放出されず、したがって、蛍光体は発光しない。

時刻t1において、K1の下部電極11に、下部電極駆動回路40から(-V1)なる駆動電圧を、(C1, C2)の積層バス電極18に、15 上部電極駆動回路50から(+V2)なる駆動電圧を印加する。

交点(1, 1)、(1, 2)の下部電極11と上部電極13との間に16 は(V1+V2)なる電圧が印加されるので、(V1+V2)の電圧を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。

20 放出された電子はメタルバック膜114に印加される加速電圧源60からの加速電圧により加速された後、蛍光体(111～113)に入射し、発光させる。

時刻t2において、K2の下部電極11に、下部電極駆動回路40から(-V1)なる駆動電圧を印加し、C1の積層バス電極18に、上部25 電極駆動回路50から(+V2)なる駆動電圧を印加すると、同様に交

点（2、1）が点灯する。

このようにして、積層バス電極18に印加する信号を変えることにより所望の画像または情報を表示することができる。

また、積層バス電極18に印加する駆動電圧（+V2）の大きさを適
5 宜変えることにより、階調のある画像を表示することができる。

なお、トンネル絶縁層12中に蓄積される電荷を開放するための反転
電圧の印加は、ここでは下部電極11の全てに、下部電極駆動回路40
から（-V1）の駆動電圧を印加した後、全下部電極11に下部電極駆
動回路40から（+V3）の駆動電圧を、全積層バス電極18に、上部
10 電極駆動回路50から（-V3'）の駆動電圧を印加することにより行
った。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具
体的に説明したが、本発明は、前記実施の形態に限定されるものではな
く、その要旨を逸脱しない範囲において種々変更可能であることは勿論
15 である。

産業上の利用可能性

本願において開示される発明のうち代表的なものによって得られる効
果を簡単に説明すれば、下記の通りである。

20 （1）本発明の電子源によれば、電子源素子に駆動電圧を印加する給電
用のバス電極を、薄膜電極と、この薄膜電極上に裏打ちされた低抵抗な
厚膜電極とから成る積層構造としたので、バス電極のシート抵抗を、上
部電極のシート抵抗に比べて2桁程度小さくでき、バス電極の抵抗を低
減させることが可能となる。

25 また、薄膜電極を、電子源の電極の膜厚程度に薄く形成したので、電

子放出部での電子源の電極の段差切れ防止することができる。

(2) 本発明の表示装置によれば、40インチクラスの大画面でも、給電配線を構成するバス電極の抵抗を減少させることができ、表示画面に輝度むら生じるのを防止することが可能となる。

請求の範囲

1. 複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子に駆動電圧を
5 印加する複数のバス電極とを有する電子源であって、

前記各バス電極は、前記各電子源素子の電極と電気的に接続され、かつ膜厚が前記電子源素子の電極の膜厚以下の厚さの薄膜電極と、

前記薄膜電極と電気的に接続され、前記薄膜電極に比して膜厚が厚い
厚膜電極とで構成されることを特徴とする電子源。

10 2. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第1項の電子源。

3. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を
有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面
15 から電子を放出する複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に
駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、

前記各バス電極は、前記上部電極と電気的に接続される薄膜電極と、
前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電
20 極とで構成されることを特徴とする薄膜型電子源。

4. 前記薄膜電極は、その膜厚が前記上部電極の膜厚10倍以下の厚
さであることを特徴とする請求の範囲第3項に記載の薄膜型電子源。

5. 前記薄膜電極および厚膜電極は、それぞれ前記絶縁層が露出する
開口部を有し、かつ、前記厚膜電極に設けられる開口部は、前記薄膜電
25 極に設けられる開口部より大きく、

前記上部電極は、前記厚膜電極に設けられる開口部内に露出する前記薄膜電極を覆うように設けられていることを特徴とする請求の範囲第3項または請求の範囲第4項に記載の薄膜型電子源。

6. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第3項ないし請求の範囲第5項のいずれか1項に記載の薄膜型電子源。

7. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源であって、前記各バス電極は、前記上部電極と一体的に設けられる薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする薄膜型電子源。

8. 前記厚膜電極は、それぞれ前記絶縁層が形成される領域に設けられる開口部を有することを特徴とする請求の範囲第7項に記載の薄膜型電子源。

9. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第7項または請求の範囲第8項に記載の薄膜型電子源。

10. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

25 前記上部電極と電気的に接続される薄膜電極と、前記薄膜電極上に設

けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成され、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源の製造方法であつて、

- 5 前記下部電極を形成する工程1と、
前記絶縁層を形成する工程2と、
前記下部電極および前記絶縁層上に薄膜導電膜を形成する工程3と、
前記薄膜導電膜上に厚膜導電膜を形成する工程4と、
前記厚膜導電膜を選択的にパターンニングして前記厚膜電極を形成す
10 る工程5と、
前記薄膜導電膜を選択的にパターンニングして前記薄膜電極を形成す
る工程6、
前記薄膜電極と電気的に接続される上部電極を形成する工程7とを有
することを特徴とする薄膜型電子源の製造方法。
- 15 11. 前記薄膜導電膜を形成する工程3において、前記薄膜導電膜の
膜厚が、前記上部電極の膜厚の10倍以下の厚さになるように、前記薄
膜導電膜を形成することを特徴とする請求の範囲第10項に記載の薄膜
型電子源の製造方法。
12. 前記厚膜導電膜を選択的にパターンニングする工程5において、
20 前記厚膜電極に前記絶縁層が露出する開口部を形成し、
また、前記薄膜導電膜を選択的にパターンニングする工程6において、
前記厚膜電極に形成した開口部の内部の前記薄膜電極に、前記絶縁層が
露出する開口部を形成し、
さらに、前記上部電極を形成する工程7において、前記厚膜電極に設
25 けられる開口部内に露出する前記薄膜電極を覆うように、前記上部電極

を形成することを特徴とする請求の範囲第 10 項または請求の範囲第 1
1 項に記載の薄膜型電子源の製造方法。

13. 前記厚膜導電膜を形成する工程 4において、前記厚膜導電膜を、
メッキ、スパッタリング、真空蒸着、化学気相成長あるいは印刷法のい
5 ずれかの方法により形成することを特徴とする請求の範囲第 10 項ない
し請求の範囲第 12 項のいずれか 1 項に記載の薄膜型電子源の製造方法。

14. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造
を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表
面から電子を放出する複数個の電子源素子と、

10 前記上部電極と電気的に接続される薄膜電極と、前記薄膜電極上に設
けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成され、前記
複数個の電子源素子の中の第 1 の方向の電子源素子の上部電極に駆動電
圧を印加する複数のバス電極とを有する薄膜型電子源の製造方法であっ
て、

15 前記下部電極を形成する工程 1 と、
前記絶縁層を形成する工程 2 と、
前記下部電極および前記絶縁層上に薄膜導電膜を形成する工程 3 と、
前記薄膜導電膜上に選択的に厚膜電極を形成する工程 4 と、
前記薄膜導電膜を選択的にパターンニングして前記薄膜電極を形成す
20 る工程 5 、

前記薄膜電極と電気的に接続される上部電極を形成する工程 6 とを有
することを特徴とする薄膜型電子源の製造方法。

15. 前記薄膜導電膜を形成する工程 3において、前記薄膜導電膜の
膜厚が、前記上部電極の膜厚の 10 倍以下の厚さになるように、前記薄
25 膜導電膜を形成することを特徴とする請求の範囲第 14 項に記載の薄膜

型電子源の製造方法。

16. 前記選択的に厚膜電極を形成する工程4において、前記厚膜電極に前記絶縁層が露出する開口部を形成し、

また、前記薄膜導電膜を選択的にパターンニングする工程5において、
5 前記薄膜電極に前記絶縁層が露出する開口部を形成し、

さらに、前記上部電極を形成する工程6において、前記厚膜電極に設けられる開口部内に露出する前記薄膜電極を覆うように、前記上部電極を形成することを特徴とする請求の範囲第14項または請求の範囲第15項に記載の薄膜型電子源の製造方法。

10 17. 前記選択的に厚膜電極を形成する工程4において、前記厚膜電極を、メッキ、スパッタリング、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成することを特徴とする請求の範囲第14項ないし請求の範囲第16項のいずれか1項に記載の薄膜型電子源の製造方法。

15 18. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

前記上部電極と一体的に設けられる薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成され、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源の製造方法であって、

前記下部電極を形成する工程1と、

前記絶縁層を形成する工程2と、

25 前記下部電極および前記絶縁層上に薄膜導電膜を形成する工程3と、

前記薄膜導電膜上に厚膜導電膜を形成する工程 4 と、

前記厚膜導電膜を選択的にパターンニングして前記厚膜電極を形成する工程 5 と、

前記薄膜導電膜を選択的にパターンニングして前記薄膜電極および前記上部電極を形成する工程 6 とを有することを特徴とする薄膜型電子源の製造方法。

19. 前記厚膜導電膜を選択的にパターンニングする工程 5 において、前記厚膜電極に前記絶縁層が露出する開口部を形成することを特徴とする請求の範囲第 18 項に記載の薄膜型電子源の製造方法。

10 20. 前記厚膜導電膜を形成する工程 4 において、前記厚膜導電膜を、メッキ、スパッタリング、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成することを特徴とする請求の範囲第 18 項または請求の範囲第 19 項に記載の薄膜型電子源の製造方法。

21. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、

前記上部電極と一体的に設けられる薄膜電極と、前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成され、前記複数個の電子源素子の中の第 1 の方向の電子源素子の上部電極に駆動電圧を印加する複数のバス電極とを有する薄膜型電子源の製造方法であつて、

前記下部電極を形成する工程 1 と、

前記絶縁層を形成する工程 2 と、

前記下部電極および前記絶縁層上に薄膜導電膜を形成する工程 3 と、

25 前記薄膜導電膜上に選択的に厚膜電極を形成する工程 4 と、

前記薄膜導電膜を選択的にパターンニングして前記薄膜電極および前記上部電極を形成する工程 5 とを有することを特徴とする薄膜型電子源の製造方法。

22. 前記選択的に厚膜電極を形成する工程 4 において、前記厚膜電極に前記絶縁層が露出する開口部を形成することを特徴とする請求の範囲第 21 項に記載の薄膜型電子源の製造方法。

23. 前記選択的に厚膜導電膜を形成する工程 4 において、前記厚膜導電膜を、メッキ、スパッタリング、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成することを特徴とする請求の範囲第 10 21 項または請求の範囲第 22 項に記載の薄膜型電子源の製造方法。

24. 複数個の電子源素子と、前記複数個の電子源素子の中の第 1 の方向の電子源素子に駆動電圧を印加する複数のバス電極とを有する第 1 の基板と、

枠部材と、

15 蛍光体を有する第 2 の基板とを備え、前記第 1 の基板、前記枠部材および前記第 2 の基板とで囲まれる空間が真空雰囲気とされる表示装置であって、

前記第 1 の基板の各バス電極は、前記各電子源素子の電極と電気的に接続され、かつ膜厚が前記電子源素子の電極の膜厚以下の厚さの薄膜電 20 極と、

前記薄膜電極と電気的に接続され、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする表示装置。

25. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第 24 項に記載の表示装置。

26. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数の
5 パス電極とを有する第1の基板と、

枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置であって、

10 前記第1の基板の各バス電極は、前記上部電極と電気的に接続される薄膜電極と、

前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする表示装置。

27. 前記薄膜電極は、その膜厚が前記上部電極の膜厚の10倍以下の厚さであることを特徴とする請求の範囲第26項に記載の表示装置。
15

28. 前記薄膜電極および厚膜電極は、それぞれ前記絶縁層が露出する開口部を有し、かつ、前記厚膜電極に設けられる開口部は、前記薄膜電極に設けられる開口部より大きく、

前記上部電極は、前記厚膜電極に設けられる開口部内に露出する前記
20 薄膜電極を覆うように設けられていることを特徴とする請求の範囲第26項または請求の範囲第27項に記載の表示装置。

29. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第26項ないし請求の範囲第28項のいずれか1項に記載の
25 表示装置。

30. 下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数個の電子源素子と、前記複数個の電子源素子の中の第1の方向の電子源素子の上部電極に駆動電圧を印加する複数の

5 パス電極とを有する第1の基板と、

枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示装置であって、

10 前記第1の基板の各バス電極は、前記上部電極と一体的に設けられる薄膜電極と、

前記薄膜電極上に設けられ、前記薄膜電極に比して膜厚が厚い厚膜電極とで構成されることを特徴とする表示装置。

15 31. 前記厚膜電極は、それぞれ前記絶縁層が形成される領域に設けられる開口部を有することを特徴とする請求の範囲第30項に記載の表示装置。

32. 前記厚膜電極は、メッキ、真空蒸着、化学気相成長あるいは印刷法のいずれかの方法により形成される金属層であることを特徴とする請求の範囲第30項または請求の範囲第31項に記載の表示装置。

FIG. 1

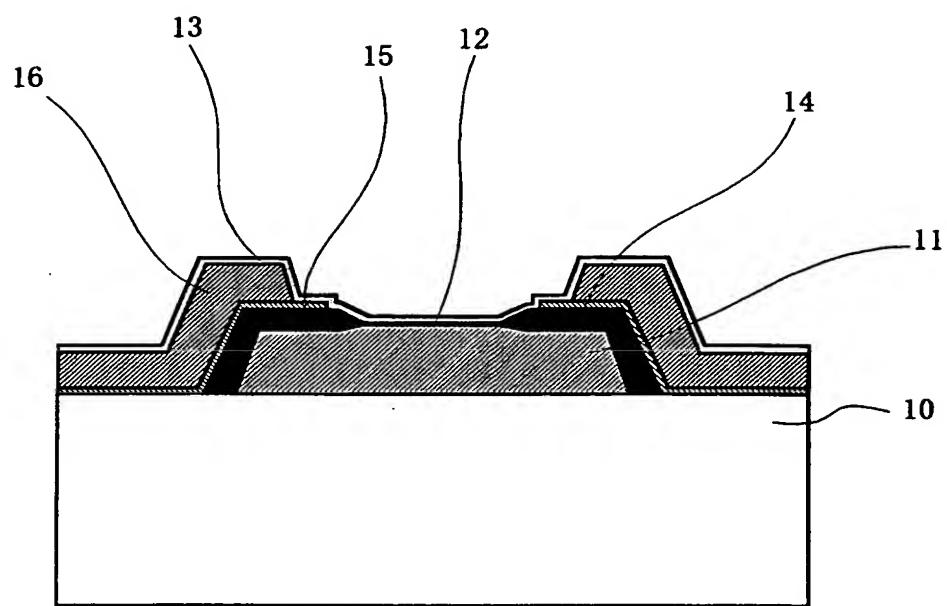
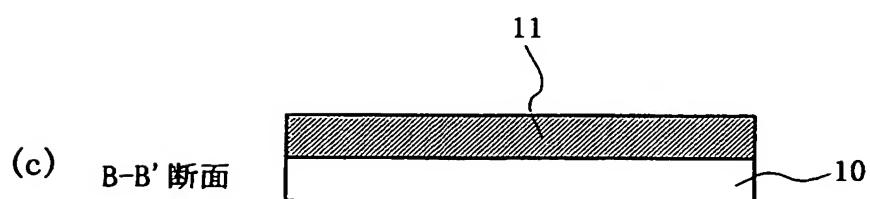
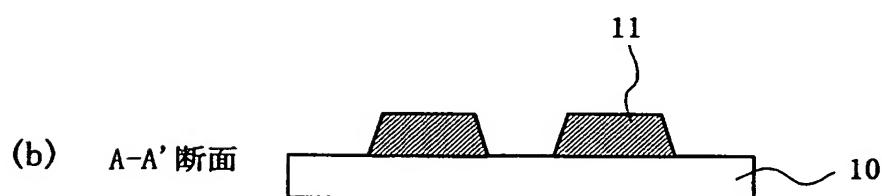
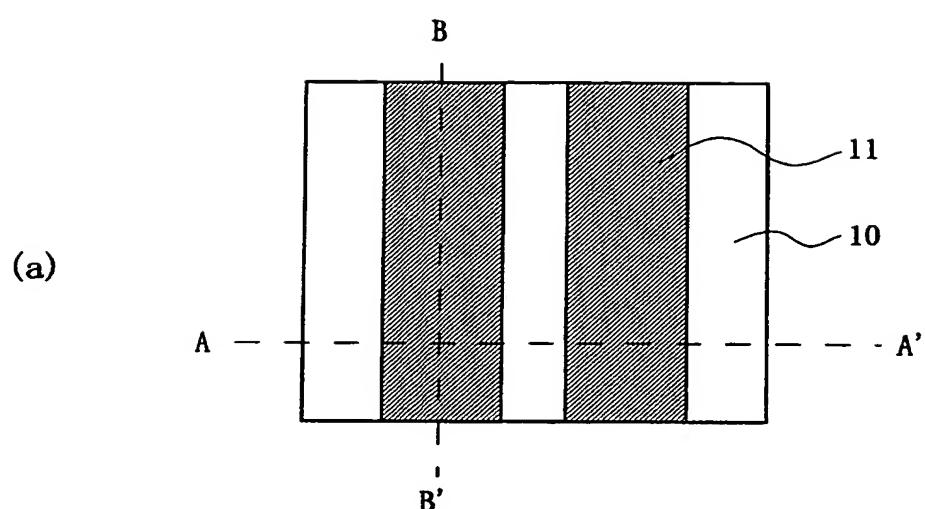
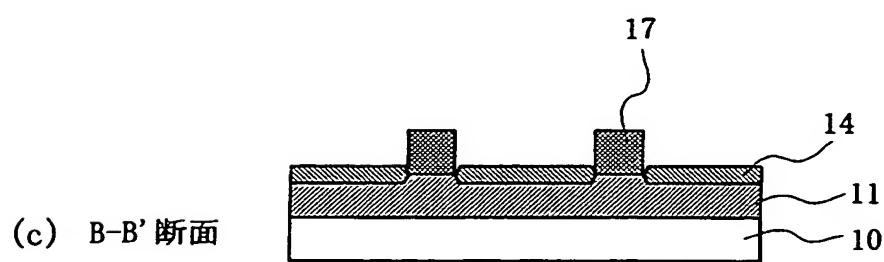
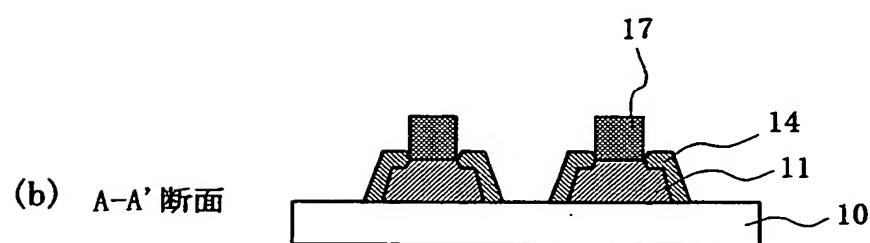
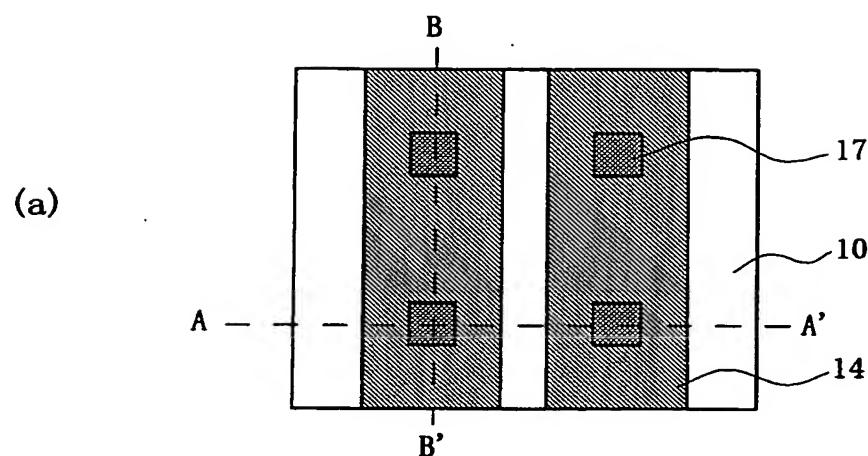


FIG.2



3 / 24

FIG.3



4 / 24

FIG.4

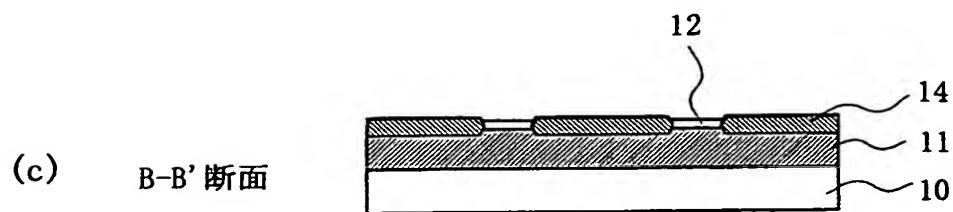
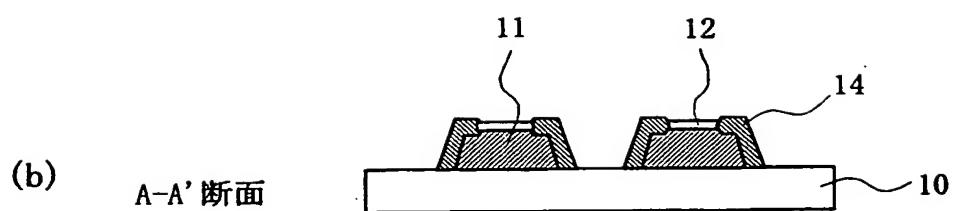
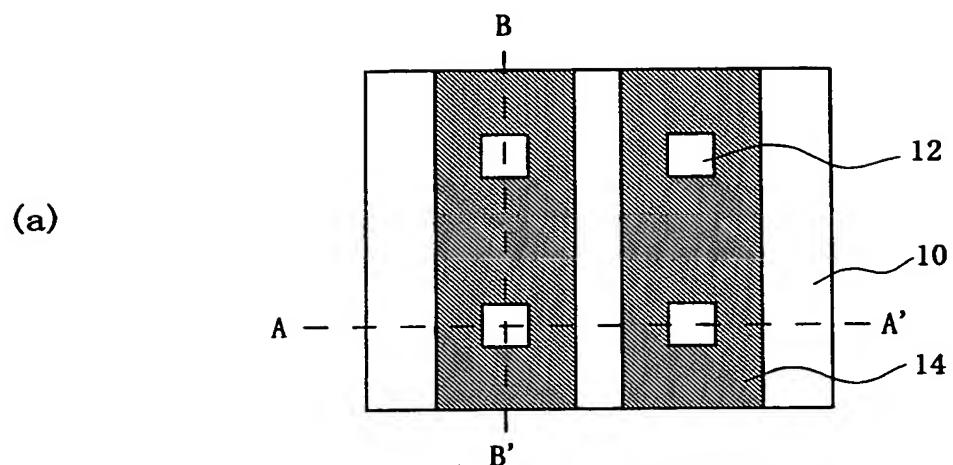
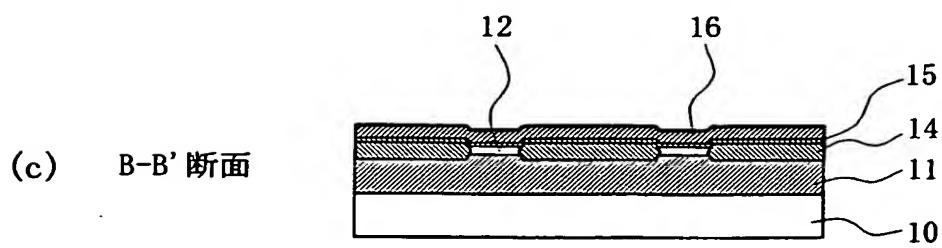
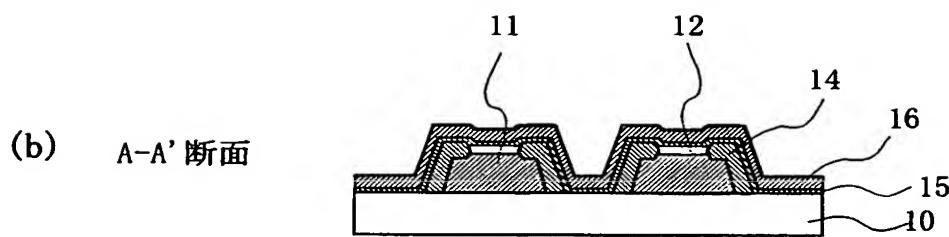
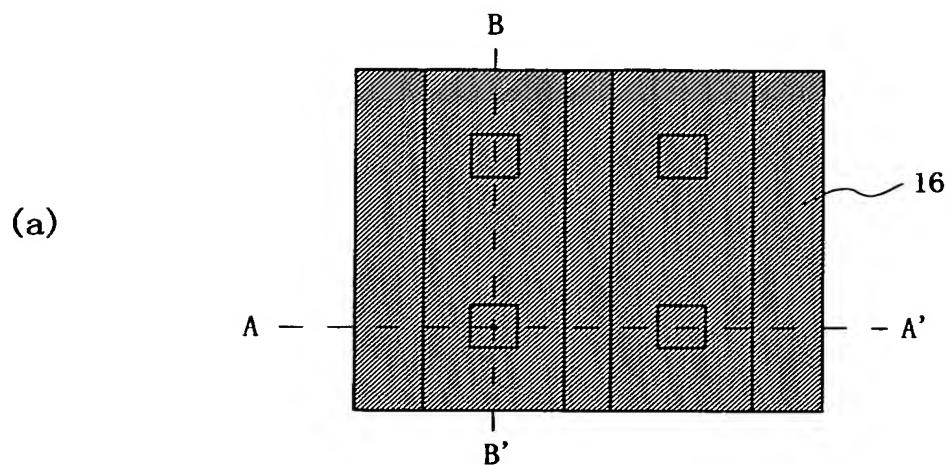
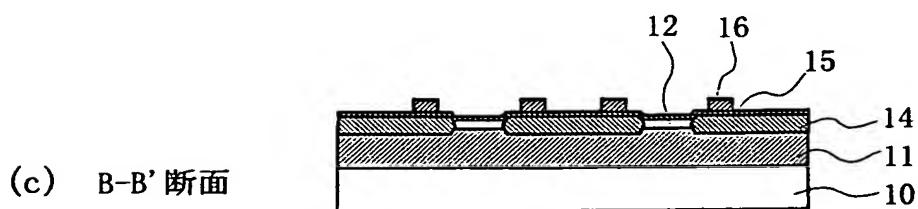
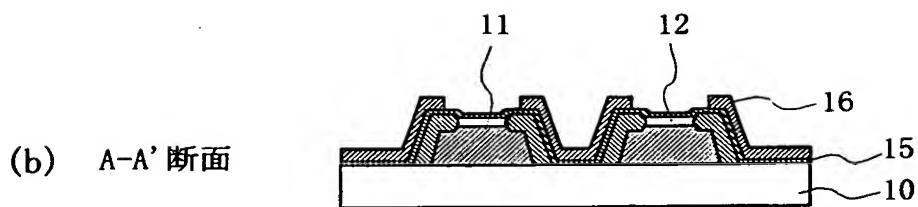
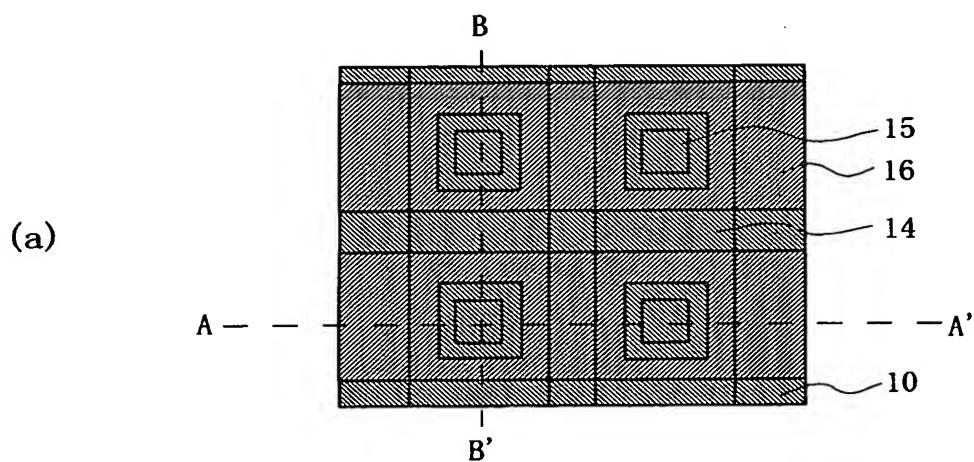


FIG.5



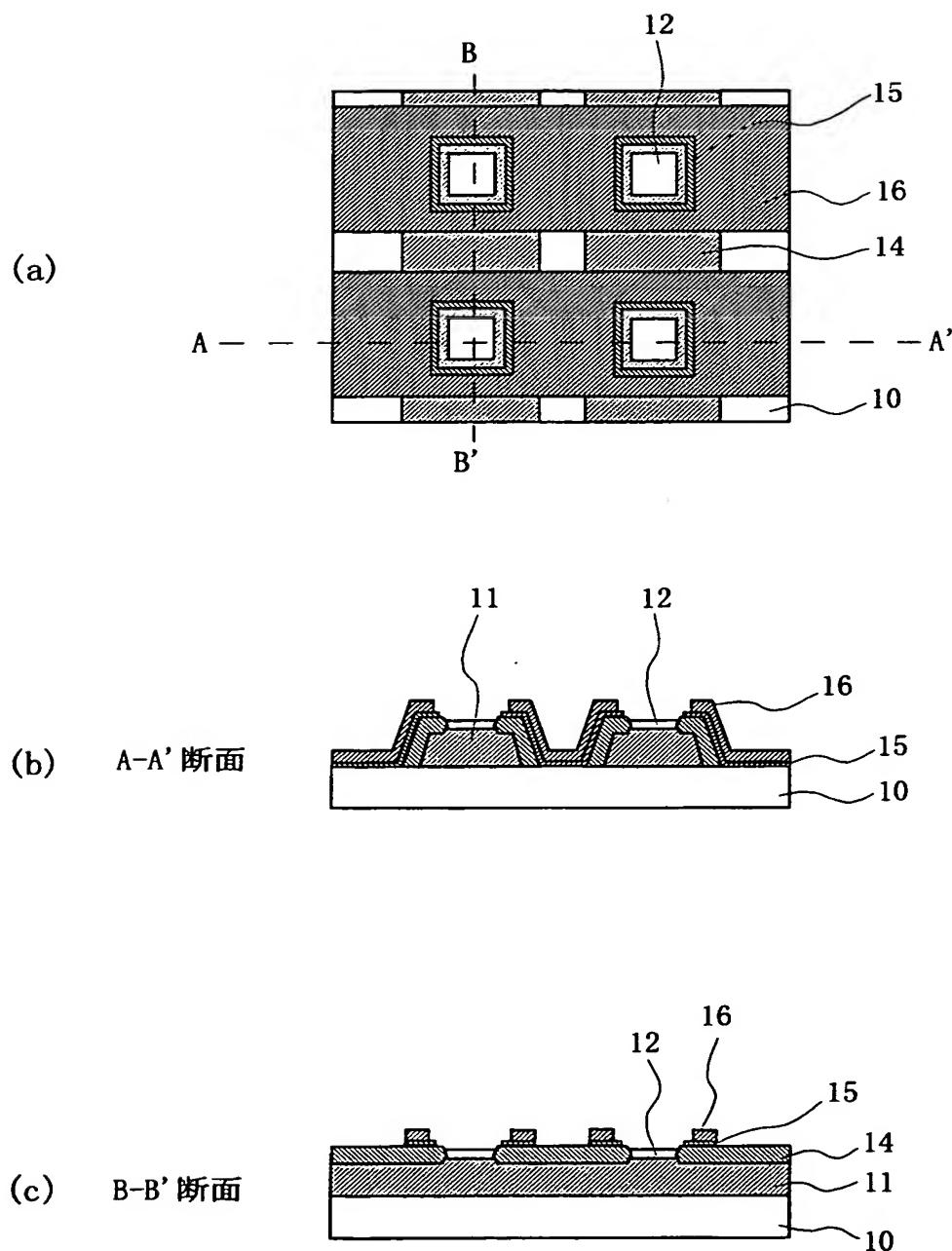
6 / 24

FIG.6



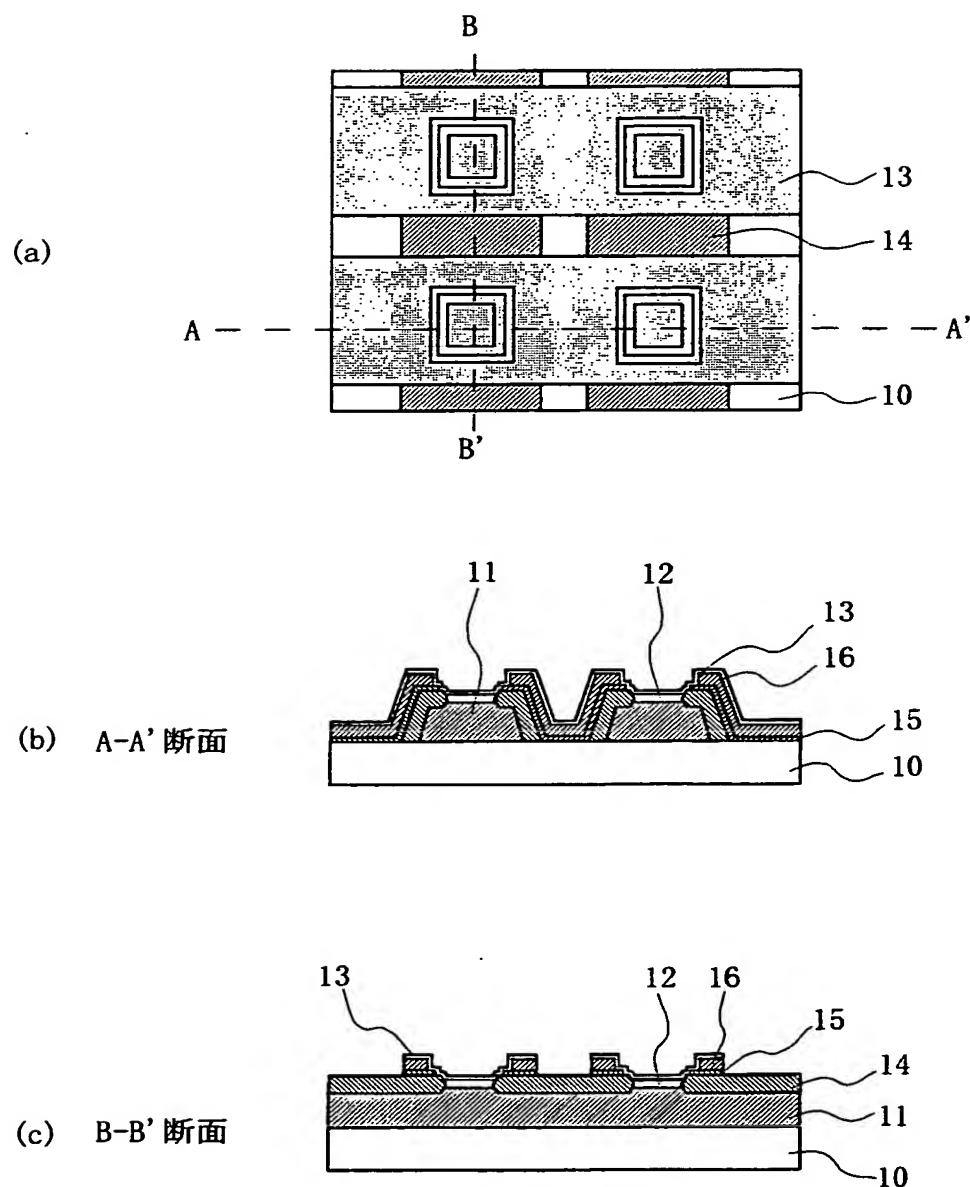
7 / 24

FIG.7



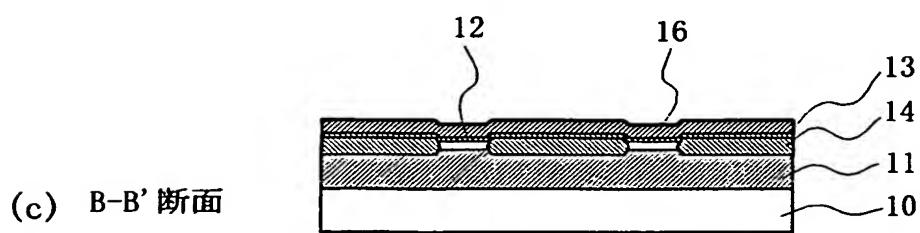
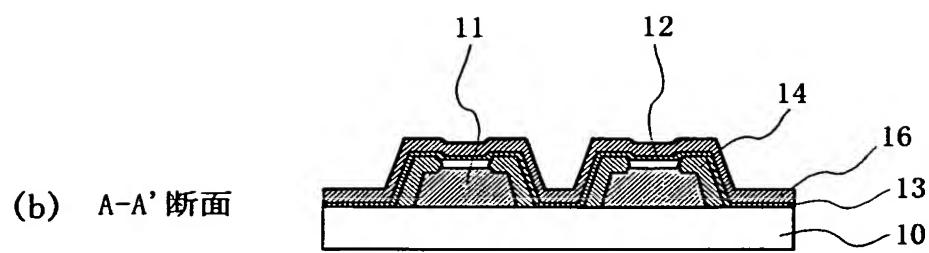
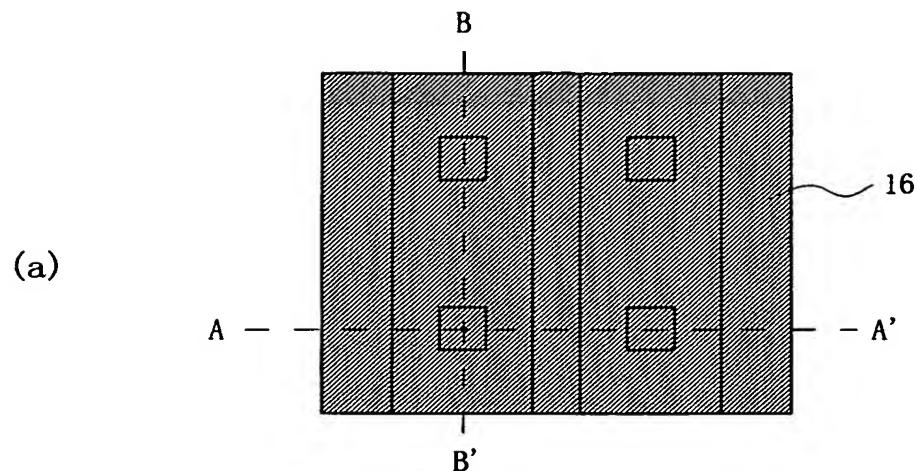
8 / 24

FIG.8



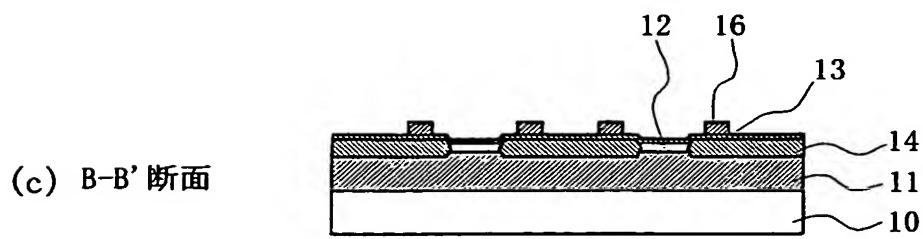
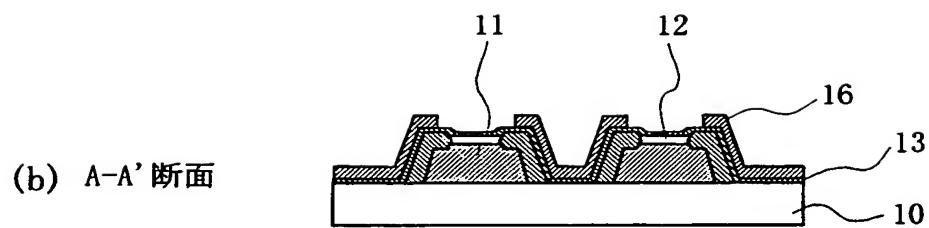
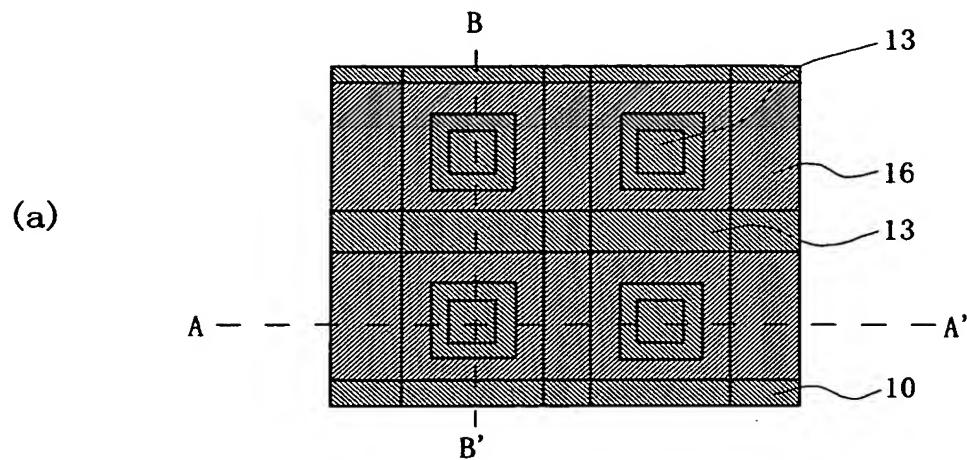
9 / 24

FIG.9



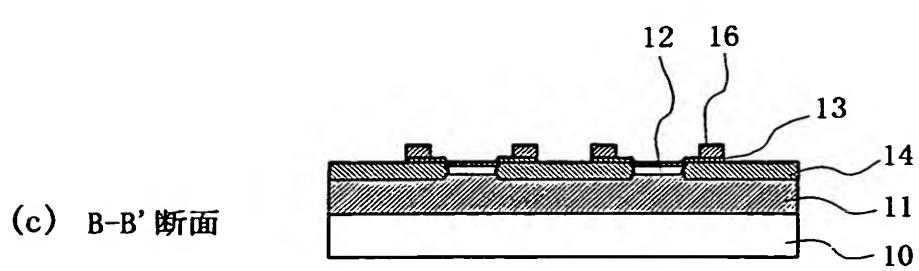
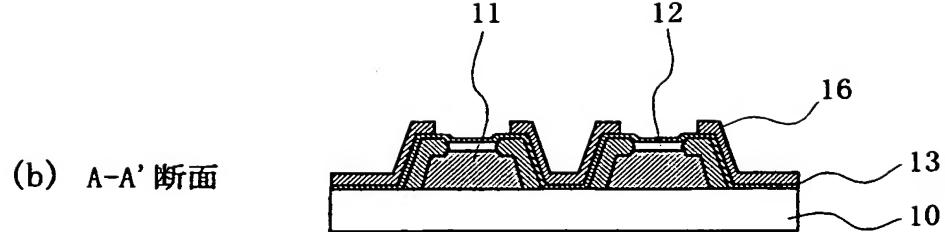
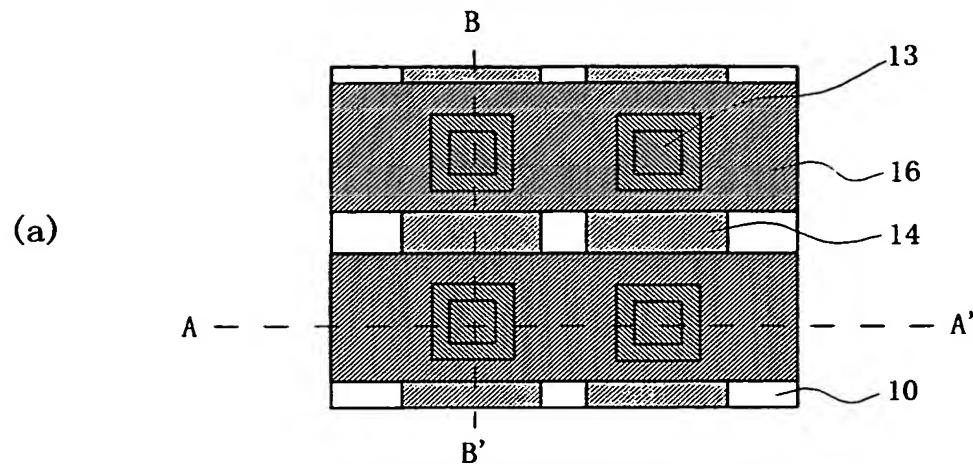
10 / 24

FIG. 10



11 / 24

FIG. 11



12/24

FIG.12

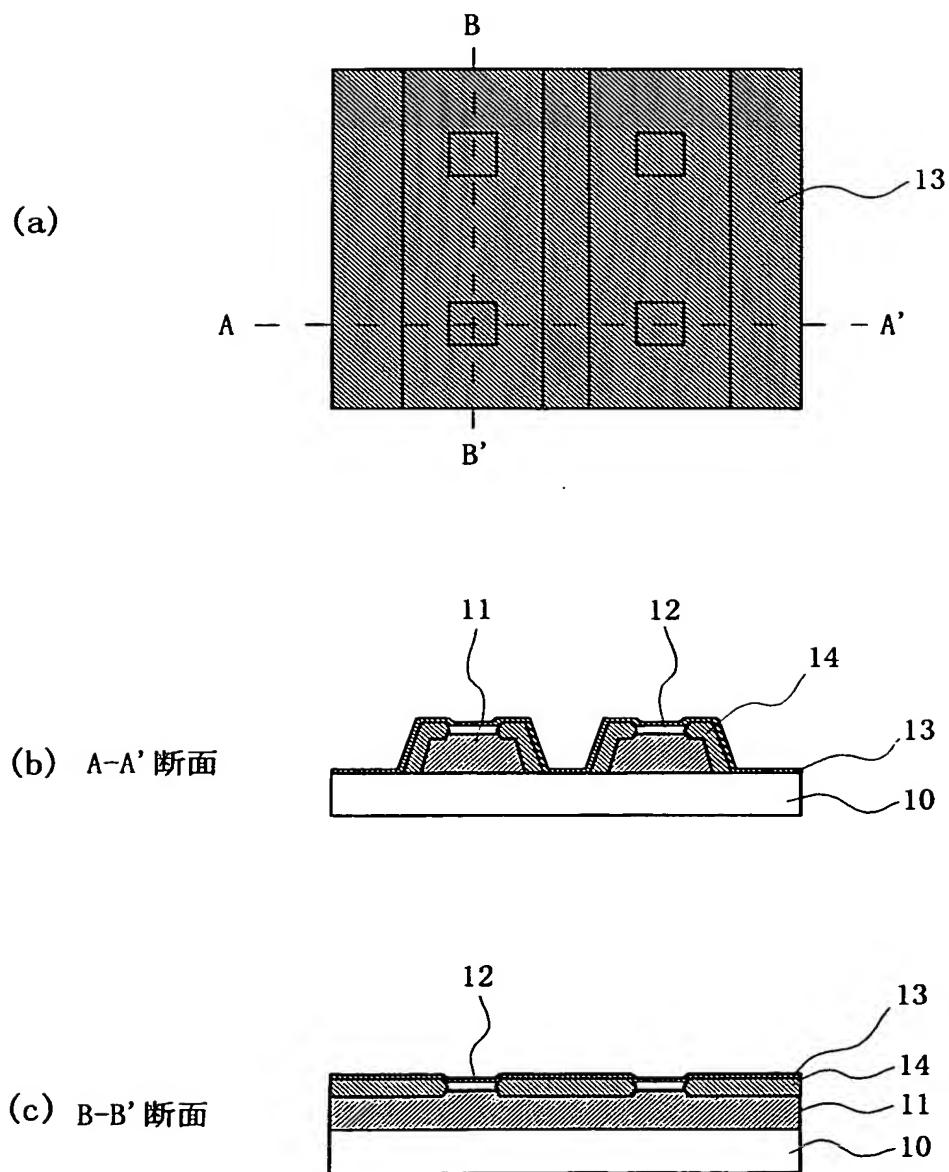


FIG.13

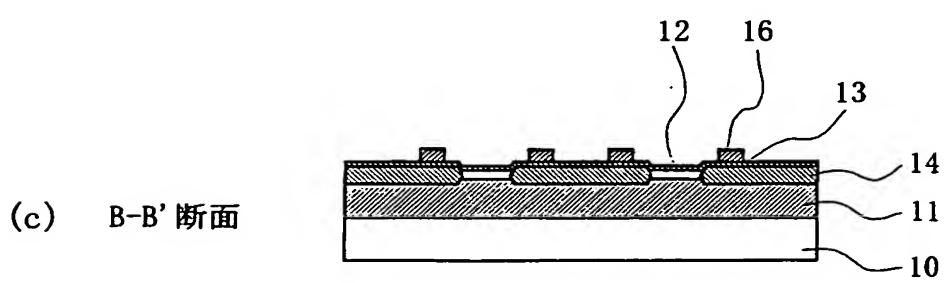
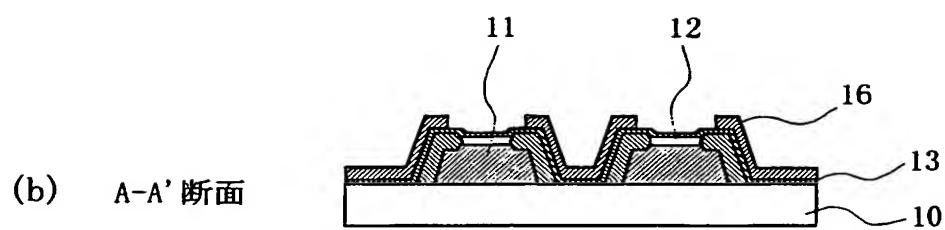
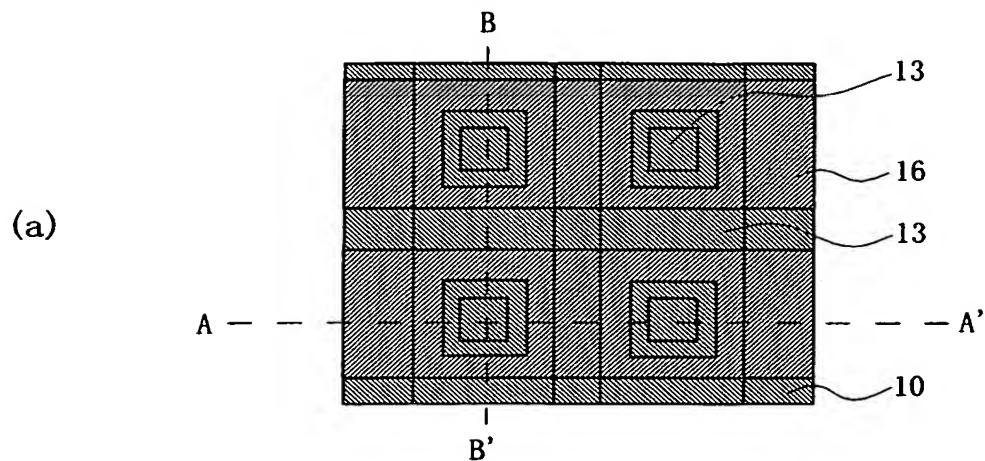


FIG.14

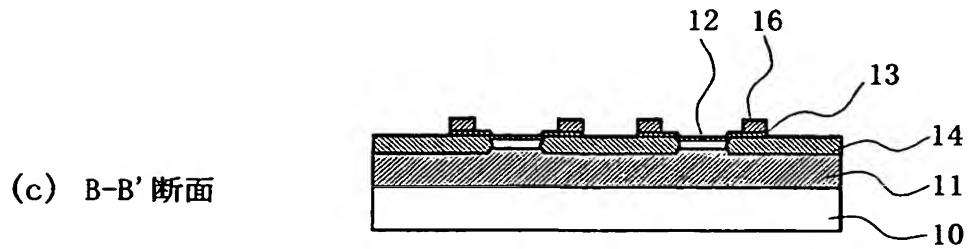
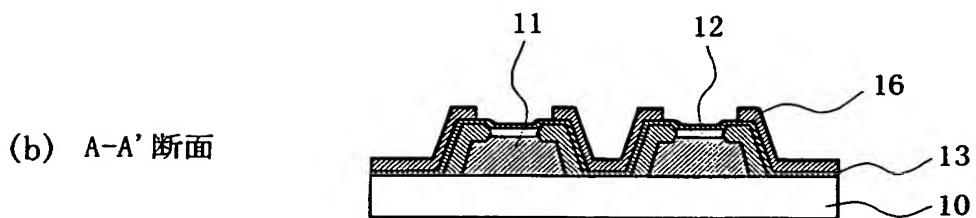
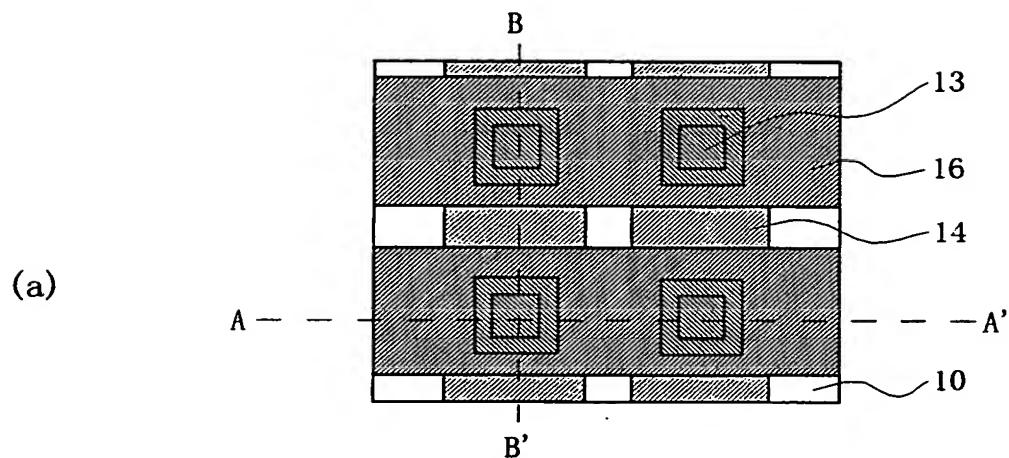


FIG. 15

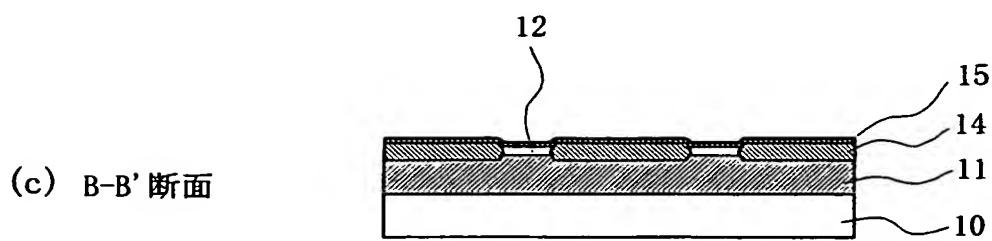
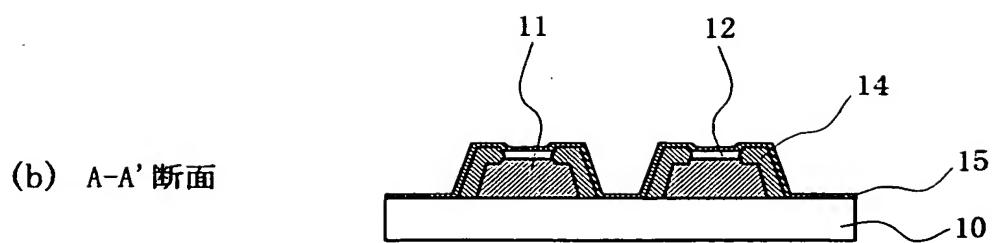
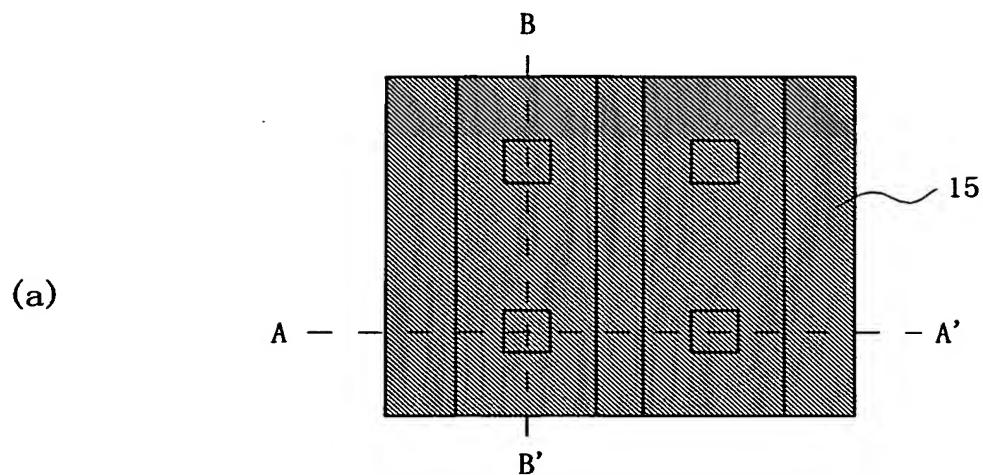


FIG.16

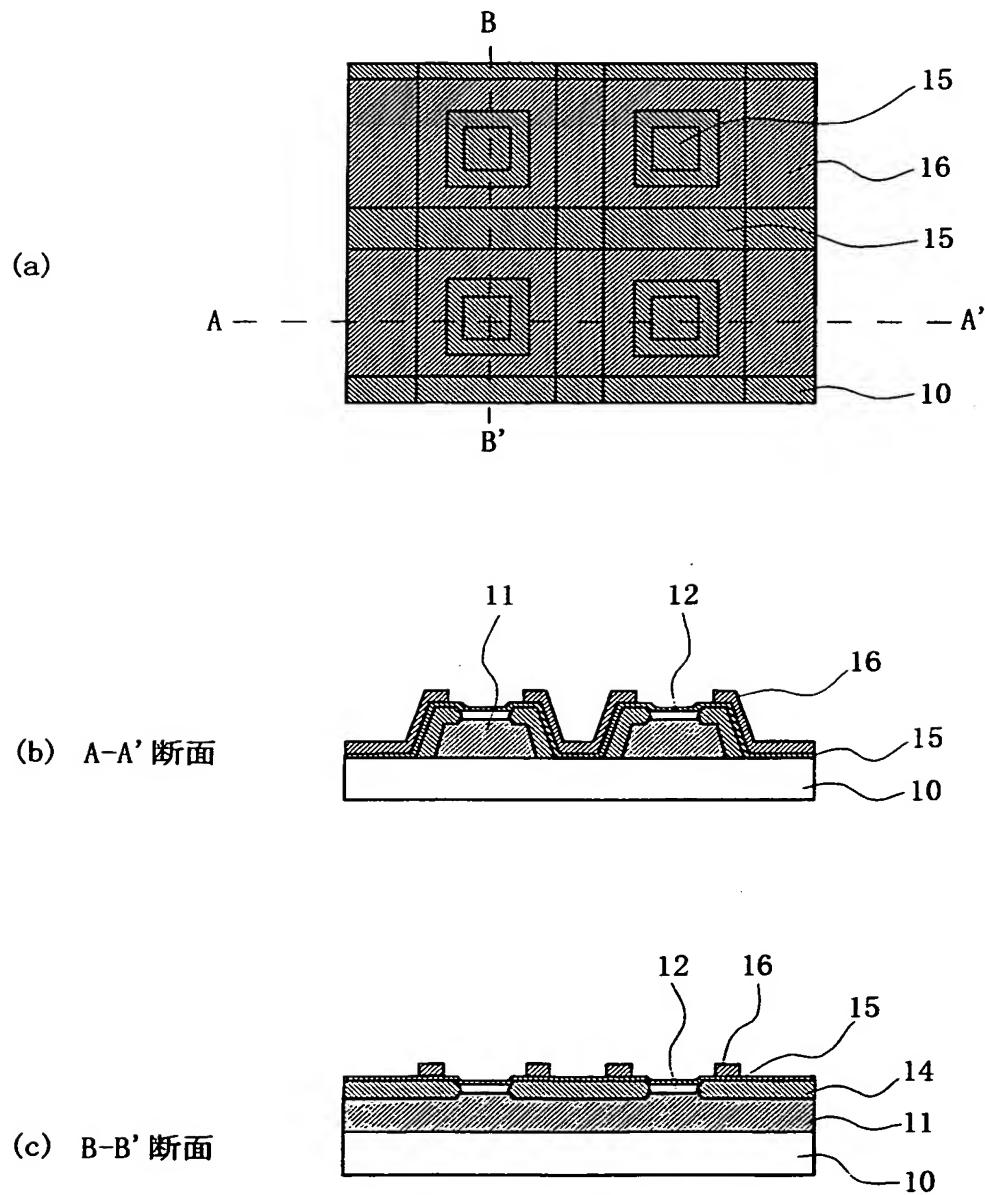
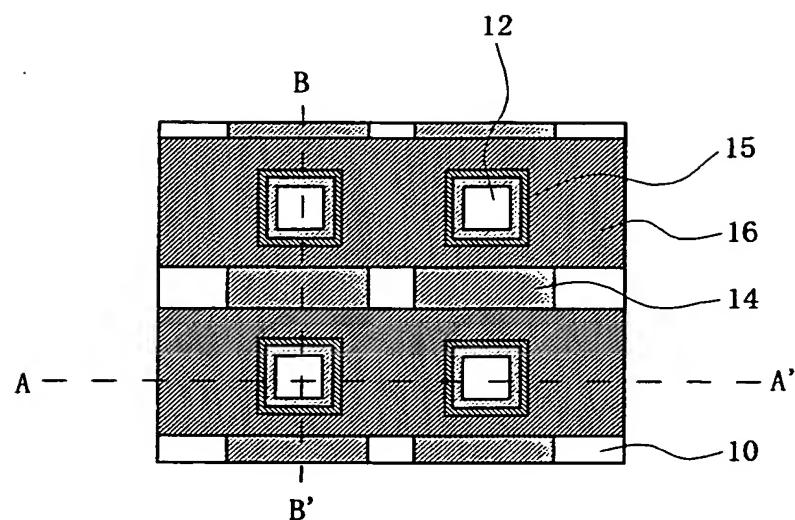
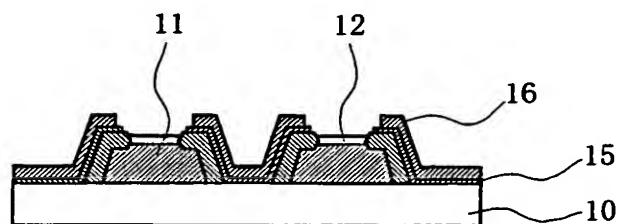


FIG. 17

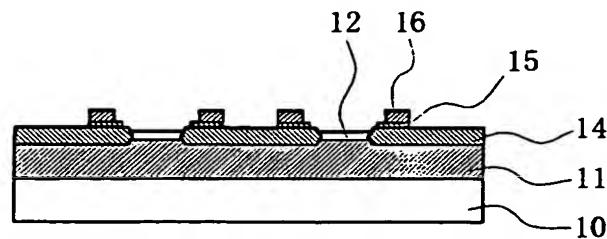
(a)



(b) A-A' 断面

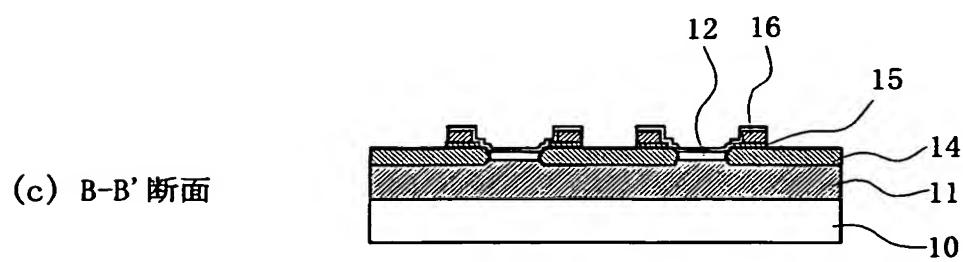
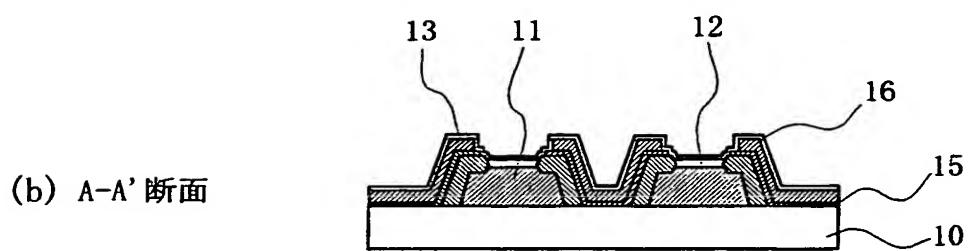
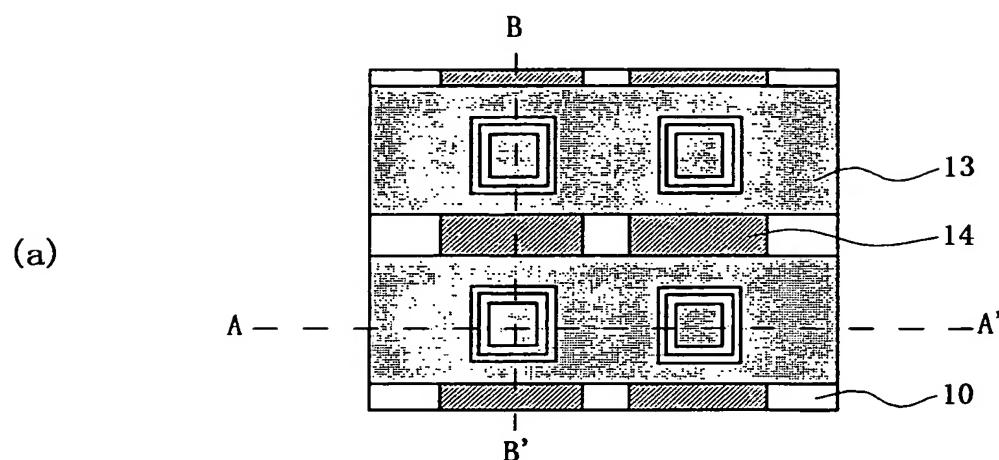


(c) B-B' 断面



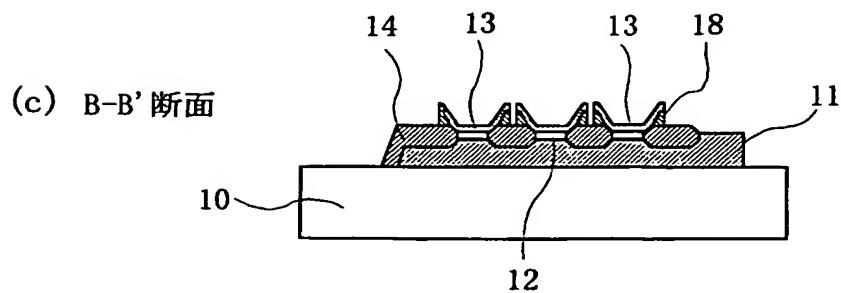
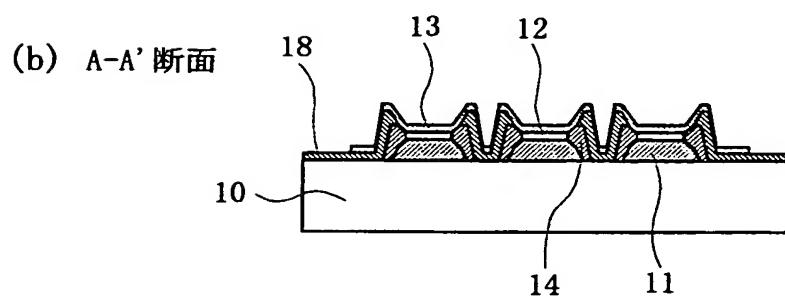
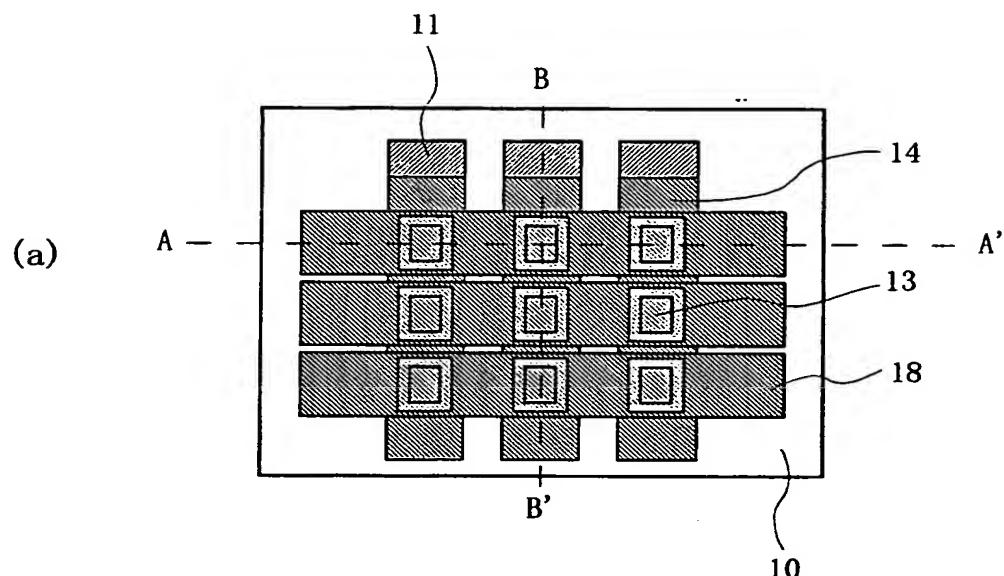
18 / 24

FIG.18



19 / 24

FIG. 19



20 / 24

FIG.20

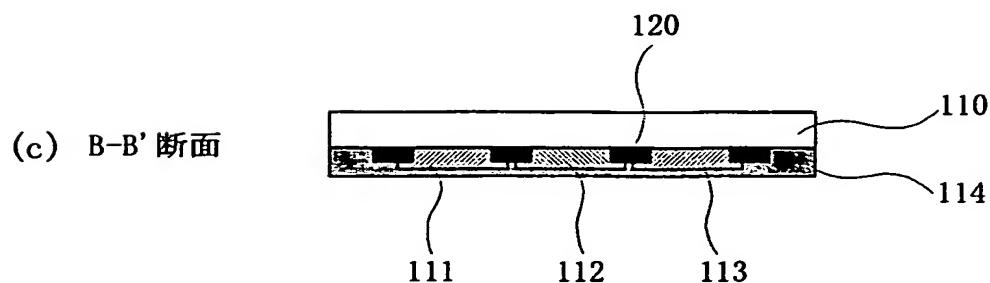
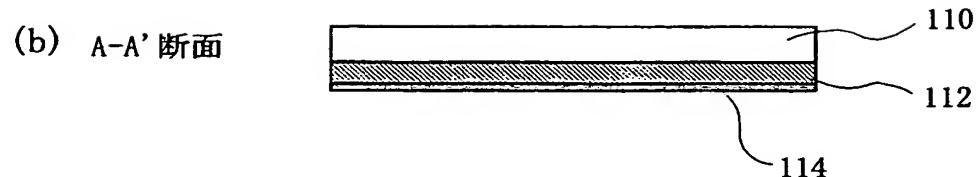
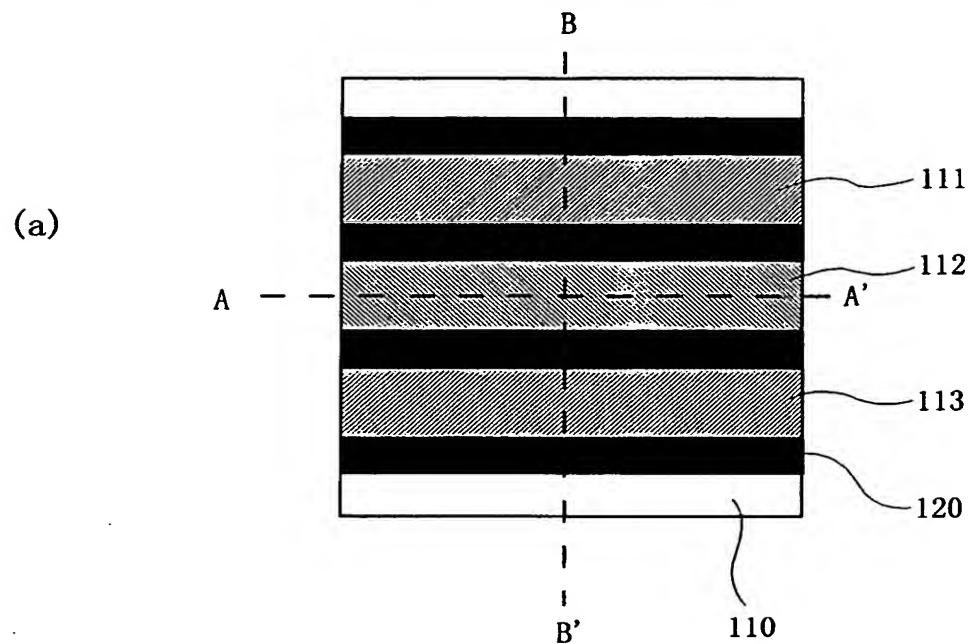
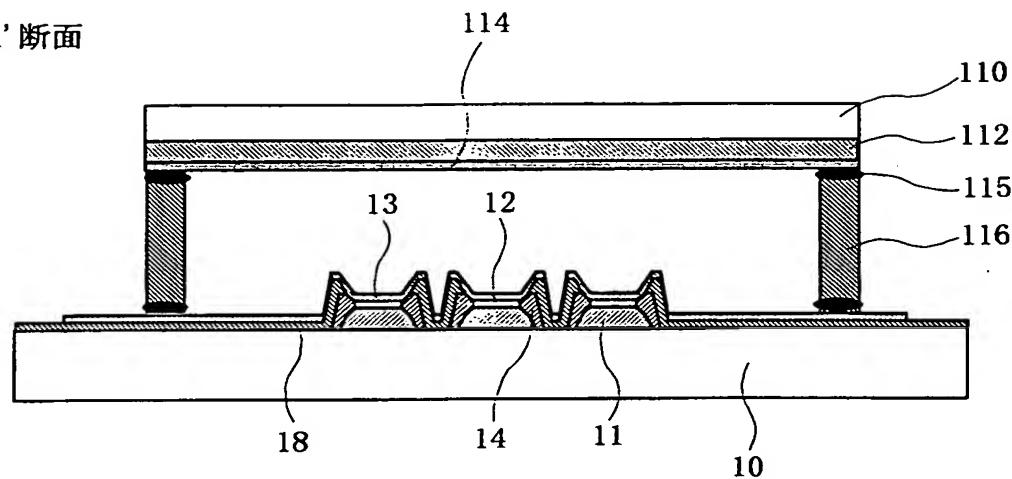
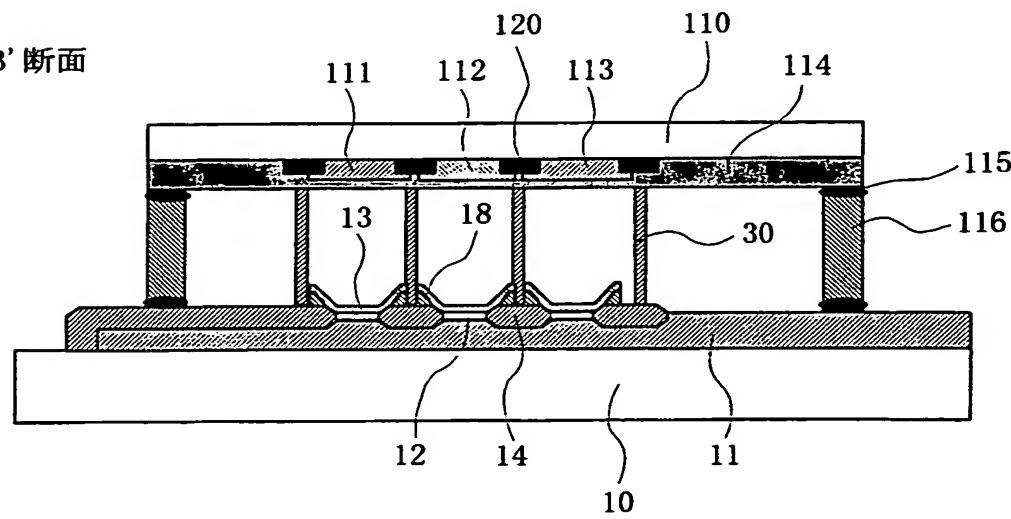


FIG.21

(a) A-A' 断面

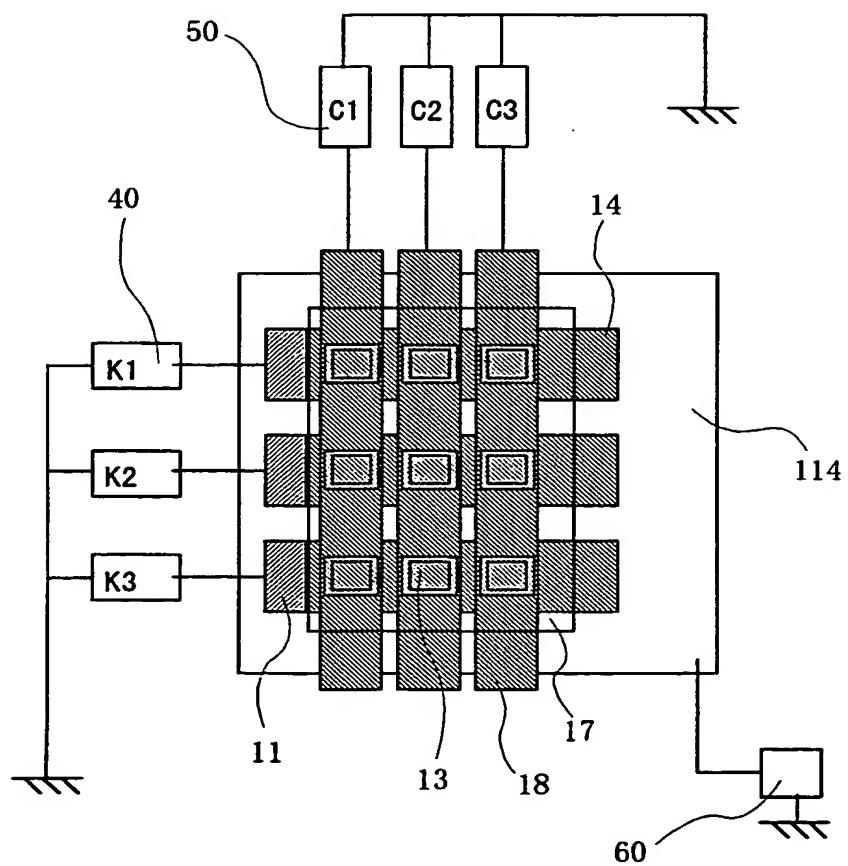


(b) B-B' 断面



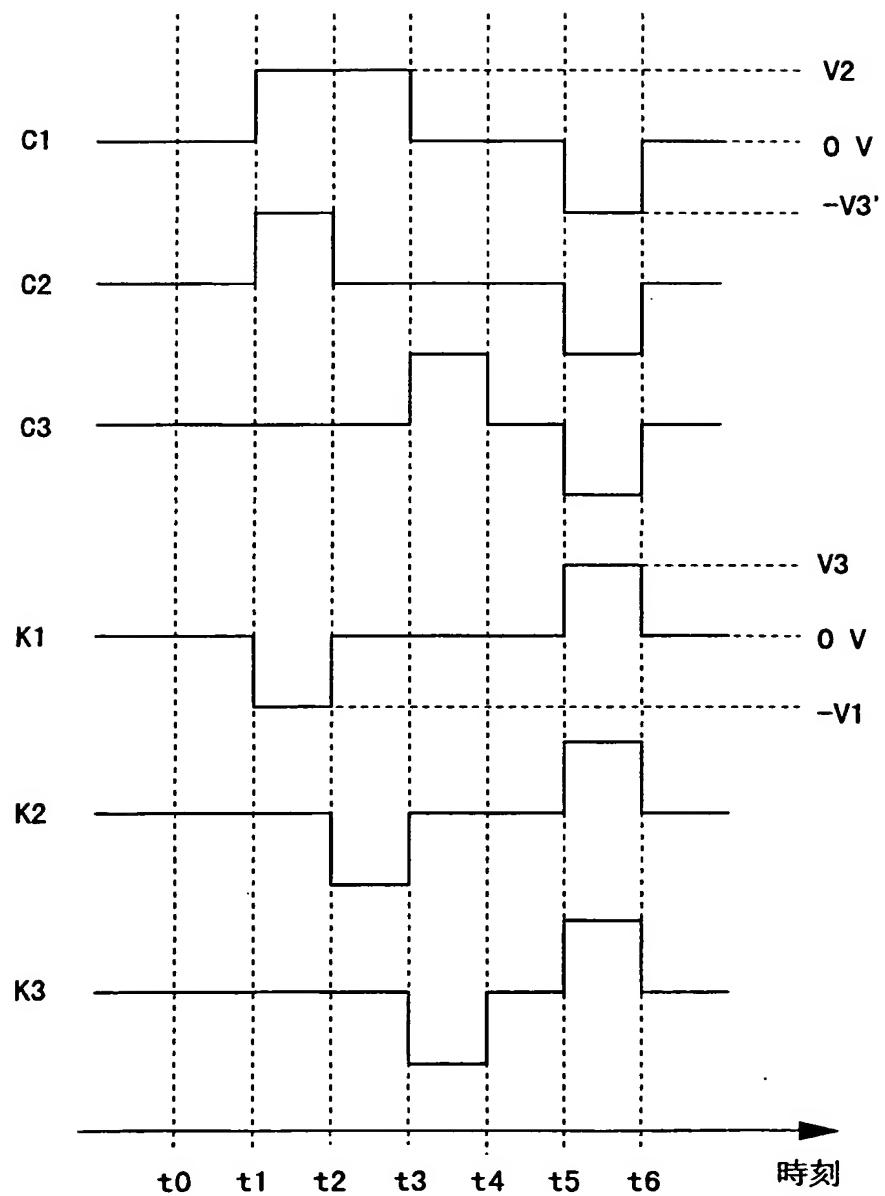
22 / 24

FIG.22



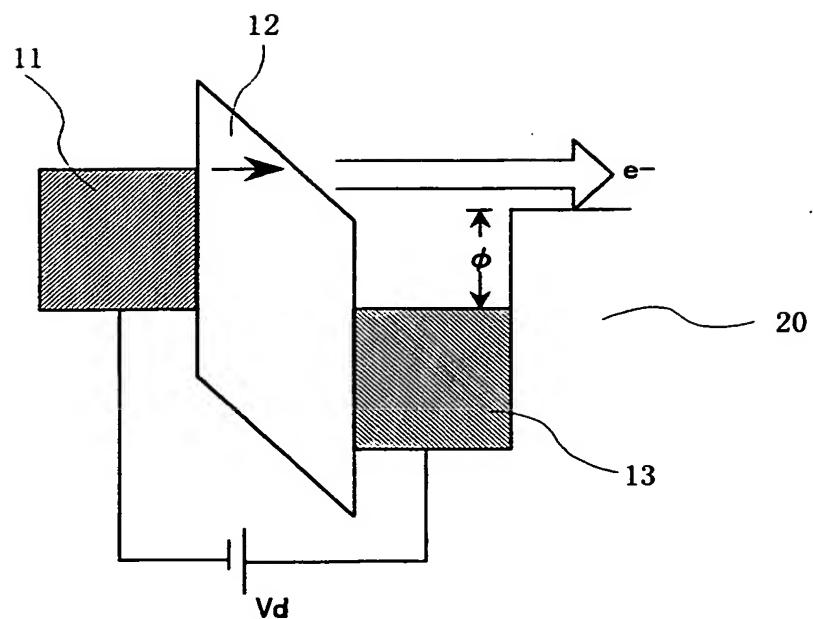
23 / 24

FIG.23



24 / 24

FIG.24



INTERNATIONAL SEARCH REPORT

International application N .

PCT/JP99/05401

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H01J1/312, 9/02, 29/04, 31/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.C1⁷ H01J1/312, 9/02, 29/04, 31/12Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim N .
X	JP, 11-120898, A (Hitachi, Ltd.), 30 April, 1999 (30.04.99),	1-6,10-17, 24-29
Y	Full text; Figs. 1 to 36 (Family: none)	18-23
X	JP, 10-79221, A (Hitachi, Ltd.),	7-9,30-32
Y	24 March, 1998 (24.03.98), Par. Nos. [0020] to [0021]; Figs. 10 to 11 (Family: none)	18-23
A	JP, 10, 92299,A (Hitachi, Ltd.), 10 April, 1998 (10.04.98), Full text; Figs. 1 to 27 (Family: none)	1-32
A	EP, 683501, A (CANON KABUSHIKI KAISHA), 22 November, 1995 (22.11.95), Full text; Figs. 1 to 14 & JP, 8-45448, A	1,2,24,25

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
28 December, 1999 (28.12.99)Date of mailing f the international search report
11 January, 2001 (11.01.00)Name and mailing address of the ISA/
Japanese Patent Office :

Authorized officer

Facsimile No.

Telephone No.

BEST AVAILABLE COPY

国際調査報告

国際出願番号 PCT/JP99/05401

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl' H01J1/312, 9/02, 29/04, 31/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl' H01J1/30-1/316, 9/02, 29/04, 31/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年
日本国実用新案登録公報	1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
JICSTファイル (JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-120898, A (株式会社日立製作所) 30. 4月. 1999 (30. 04. 99)	1-6, 10-17, 24-2 9
Y	全文、【図1】-【図36】 (ファミリーなし)	18-23
X	JP, 10-79221, A (株式会社日立製作所) 24. 3月. 1998 (24. 03. 98) 【0020】-【0021】、【図10】-【図11】 (ファミリーなし)	7-9, 30-32 18-23
Y		

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 28. 12. 99	国際調査報告の発送日 11.01.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 波多江 進 電話番号 03-3581-1101 内線 3224

BEST AVAILABLE COPY

国際調査報告

国際出願番号 PCT/JP99/05401

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	J P, 10, 92299, A (株式会社日立製作所) 10. 4月. 1998 (10. 04. 98) 全文、【図1】-【図27】 (ファミリーなし)	1-32
A	E P, 683501, A (CANON KABUSHIKI KAISHA) 22. 11月. 1995 (22. 11. 95) 全文、【図1】-【図14】 & J P, 8-45448, A	1, 2, 24, 25